

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-93947

(P2002-93947A)

(43)公開日 平成14年3月29日(2002.3.29)

(51)Int.Cl. ⁷	識別記号	FI	テーマコード(参考)
H01L 23/12	501	H01L 23/12	501P 4M109
21/56		21/56	R 5F061
21/60		21/92	602H
23/29			602L
23/31			602J
審査請求 未請求 請求項の数16 OL (全 23 頁) 最終頁に続く			

(21)出願番号 特願2000-284374(P2000-284374)

(22)出願日 平成12年9月19日(2000.9.19)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 山口 欣秀

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(72)発明者 天明 浩之

神奈川県横浜市戸塚区吉田町292番地 株

式会社日立製作所生産技術研究所内

(74)代理人 100068504

弁理士 小川 勝男 (外2名)

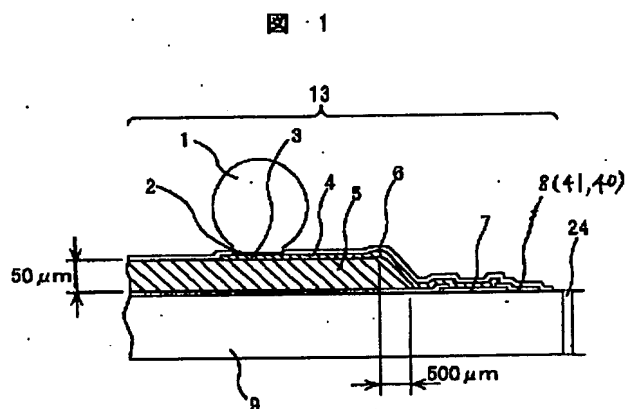
最終頁に続く

(54)【発明の名称】 半導体装置およびその製造方法並びに半導体装置実装構造体

(57)【要約】

【課題】 本発明の目的は、アンダーフィルの不要なフリップチップ接続を可能とする半導体装置を実現することにある。

【解決手段】 本発明は、複数の回路電極が配列され、保護膜が被覆された回路面を有する半導体素子と、該半導体素子の回路面の保護膜上に前記回路電極を露出させて形成され、硬化された熱可塑性樹脂からなり、エッジ部に傾斜を形成した応力緩和層と、前記回路電極の各々に接続され、該回路電極から前記応力緩和層のエッジ部を通して応力緩和層の表面の所望の個所まで電気的につながって配設される複数の配線からなる配線層と、その上の表面保護膜と、外部接続端子とを備えて構成された半導体装置である。



BEST AVAILABLE COPY

(2)

1

【特許請求の範囲】

【請求項1】複数の回路電極が配列され、保護膜が被覆された回路面を有する半導体素子と、
 該半導体素子の回路面の保護膜上に前記回路電極を露出させて形成され、硬化された熱可塑性樹脂からなり、エッジ部に傾斜を形成した応力緩和層と、
 前記回路電極の各々に接続され、該回路電極から前記応力緩和層のエッジ部を通して応力緩和層の表面の所定の個所まで電気的につながって配設される複数の配線からなる配線層と、
 前記応力緩和層の表面における複数の配線の各々の所定の個所を露出させて前記配線層の表面を被覆した表面保護膜と、
 前記露出した複数の配線の各々の所定の個所にパンプを接合して形成した外部接続端子とを備えて構成されたことを特徴とする半導体装置。

【請求項2】前記応力緩和層の傾斜エッジ部につながる周辺部にふくらみ部分を形成してその上の前記配線にたわみ部分を形成することを特徴とする請求項1記載の半導体装置。

【請求項3】前記応力緩和層の硬化した熱可塑性樹脂の熔融温度 T_m が、前記配線層および表面保護膜を形成する際の最高到達温度 T_{max} 以上で構成されたことを特徴とする請求項1または2記載の半導体装置。

【請求項4】前記応力緩和層の硬化した熱可塑性樹脂の熔融温度 T_m が、 350°C 以上で構成されたことを特徴とする請求項1または2記載の半導体装置。

【請求項5】前記応力緩和層の硬化した熱可塑性樹脂のガラス転移温度 T_g が、 $150^{\circ}\text{C}\sim 400^{\circ}\text{C}$ の範囲で構成されたことを特徴とする請求項1または2記載の半導体装置。

【請求項6】前記応力緩和層の硬化した熱可塑性樹脂の線膨張係数が、 $200\text{ppm}/^{\circ}\text{C}$ 以下で構成されたことを特徴とする請求項1または2記載の半導体装置。

【請求項7】前記応力緩和層の厚さが約 $35\mu\text{m}\sim$ 約 $150\mu\text{m}$ であることを特徴とする請求項1または2記載の半導体装置。

【請求項8】前記応力緩和層の硬化した熱可塑性樹脂として、少なくともポリイミド、ポリアミド、ポリアミドイミド、エポキシ、フェノール、シリコンの何れかから構成されていることを特徴とする請求項1または2記載の半導体装置。

【請求項9】前記半導体素子に形成された保護膜として、無機膜とその上に局部的に形成された有機膜とからなることを特徴とする請求項1または2記載の半導体装置。

【請求項10】前記配線層において、少なくとも信号配線については、配線幅を、前記応力緩和層のエッジ部を応力緩和層の平坦部よりも太く形成したことを特徴とする請求項1または2記載の半導体装置。

2

【請求項11】前記配線層は、前記応力緩和層の表面に密着した給電膜層とめっき膜層とで構成されることを特徴とする請求項1または2記載の半導体装置。

【請求項12】複数の回路電極が配列され、保護膜が被覆された回路面を有する半導体素子と、
 該半導体素子の回路面の保護膜上に前記回路電極を露出させて形成され、ガラス転移温度 T_g が、 $150^{\circ}\text{C}\sim 400^{\circ}\text{C}$ の範囲である硬化された樹脂からなり、エッジ部に傾斜を形成した応力緩和層と、

10 前記回路電極の各々に接続され、該回路電極から前記応力緩和層のエッジ部を通して応力緩和層の表面の所定の個所まで電気的につながって配設される複数の配線からなる配線層と、

前記応力緩和層の表面における複数の配線の各々の所定の個所を露出させて前記配線層の表面を被覆した表面保護膜と、

前記露出した複数の配線の各々の所定の個所にパンプを接合して形成した外部接続端子とを備えて構成されたことを特徴とする半導体装置。

20 【請求項13】前記応力緩和層の厚さが約 $35\mu\text{m}\sim$ 約 $150\mu\text{m}$ であることを特徴とする請求項12記載の半導体装置。

【請求項14】請求項1～13の何れか一つに記載された半導体装置を、該半導体装置における外部接続端子を回路基板に形成された電極に接合することにより、該回路基板に実装して構成することを特徴とする半導体装置実装構造体。

【請求項15】複数の回路電極が配列された回路面を有する複数の半導体素子が配列されたウエハを製造するウエハ製造工程と、

30 該ウエハ製造工程において製造されたウエハ状態における各半導体素子の回路面上に保護膜を形成する保護膜形成工程と、

該保護膜形成工程で形成されたウエハ状態における保護膜上に、前記回路電極が露出するように、熱可塑性樹脂ペーストをマスク印刷を用いてエッジ部に傾斜を有する応力緩和層を印刷し、該印刷された応力緩和層を硬化させて前記保護膜上に形成する応力緩和層形成工程と、

40 前記ウエハ状態における回路電極の各々に接続され、該回路電極から前記応力緩和層形成工程で形成された応力緩和層のエッジ部を通して応力緩和層の表面の所定の個所まで電気的につながって配設される複数の配線からなる配線層を形成する配線層形成工程と、

該配線層形成工程で形成されたウエハ状態における配線層の表面を、前記応力緩和層の表面における複数の配線の各々の所定の個所を露出させて表面保護膜で被覆する表面保護膜形成工程と、

前記ウエハ状態において露出した複数の配線の各々の所定の個所にパンプを接合して形成する外部接続端子形成

50 工程と、

(3)

3

ウェハ状態から所望の単位に切断して半導体装置を得る切断工程とを有することを特徴とする半導体装置の製造方法。

【請求項16】前記配線層形成工程は、スパッタ成膜工程とめっき成膜工程とを有することを特徴とする請求項15記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、フリップチップ接続を可能とする半導体装置およびその製造方法並びに半導体装置実装構造体に関する。

【0002】

【従来の技術】フリップチップ接続を可能とする半導体装置の従来技術としては、特開平11-111768号公報（従来技術1）に記載されているように、アンダーフィルを用いた半導体装置が知られている。しかしながら、アンダーフィルは、完成した電気製品を使用する際の発熱等による接続部に生じる歪みに起因する接続部の破壊を防止する目的で実施されており、実施しない場合には、半導体装置の接続寿命が極端に短くなってしまうという課題が生じる。

【0003】そこで、アンダーフィルを用いなく、フリップチップ接続を可能とする半導体装置の従来技術としては、特開平11-54649号公報（従来技術2）および特開平11-354560号公報（従来技術3）で知られている。この従来技術2には、半導体素子が配設されている半導体基板と、該半導体基板の主面上に配列され、上記半導体素子に電気的に接続される素子電極と、上記半導体基板の主面上に形成され、絶縁性の弾性材料からなる弾性体層と、少なくとも上記半導体基板上の上記素子電極を露出させるように上記弾性体層を部分的に除去して形成された開口部と、上記素子電極の上から上記弾性体層の上に亘って連続的に延ばして形成された金属配線層と、該金属配線層の一部として上記弾性体層の上に設けられ、外部機器との電気的接続を行うための外部電極と、上記金属配線層を覆う表面保護膜とを備えた半導体装置が記載されている。さらに、半導体基板は、ウェハから切出されたチップ状態であることも記載されている。さらに、上記弾性体層（低弾性率層）の厚みは、 $10 \sim 150 \mu\text{m}$ であることが好ましく、また、その弾性率（ヤング率）は $10 \sim 1000 \text{ kg/mm}^2$ の範囲にあることがより好ましく、また、その線膨張率は $10 \sim 100 \text{ ppm/}^\circ\text{C}$ の範囲にあることがより好ましいと記載されている。さらに、この弾性体層の材料としては、感光性を有する絶縁材料膜として、例えばエステル結合型ポリイミドやアクリレート系エポキシ等のポリマーでよく、低弾性率を有し、絶縁性であればよいと記載されている。また、感光性を有しない絶縁材料を用いる場合には、レーザーやプラズマによる機械的な加工もしくはエッチングなどの化学的加工により半導体基板

4

上の素子電極を露出させることができることも記載されている。

【0004】また、従来技術3にも同様なことが記載されている。

【0005】

【発明が解決しようとする課題】しかしながら、上記従来技術2、3には、弾性体層（応力緩和層）の表面に形成する配線層の切断を防止しようとする点について十分考慮されていない。

【0006】本発明の目的は、上記課題を解決すべく、配線層の切断を防止して不良発生数を低減したアンダーフィルの不要なフリップチップ接続を可能とする半導体装置およびその製造方法並びに半導体装置実装構造体を提供することにある。

【0007】

【課題を解決するための手段】上記目的を達成するために、本発明は、特許請求の範囲の通りに構成するものである。

【0008】即ち、本発明は、複数の回路電極が配列され、保護膜が被覆された回路面を有する半導体素子と、該半導体素子の回路面の保護膜上に前記回路電極を露出させて形成され、硬化された熱可塑性樹脂からなり、エッジ部に傾斜を形成した応力緩和層と、前記回路電極の各々に接続され、該回路電極から前記応力緩和層のエッジ部を通して応力緩和層の表面の所望の個所まで電気的につながって配設される複数の配線からなる配線層と、前記応力緩和層の表面における複数の配線の各々の所定の個所を露出させて前記配線層の表面を被覆した表面保護膜と、前記露出した複数の配線の各々の所定の個所にバンパを接合して形成した外部接続端子とを備えて構成されたことを特徴とする半導体装置である。

【0009】また、本発明は、前記半導体装置において、応力緩和層の傾斜エッジ部につながる周辺部にふくらみ部分を形成してその上の前記配線にたわみ部分を形成することを特徴とする。これにより、配線の切断を防止することができる。

【0010】また、本発明は、前記半導体装置において、応力緩和層の硬化した熱可塑性樹脂の熔融温度 T_m が、前記配線層および表面保護膜を形成する際の最高到達温度 T_{max} 以上で構成されたことを特徴とする。

【0011】また、本発明は、前記半導体装置において、応力緩和層の硬化した熱可塑性樹脂の熔融温度 T_m が、 350°C 以上で構成されたことを特徴とする。

【0012】また、本発明は、前記半導体装置において、応力緩和層の硬化した熱可塑性樹脂のガラス転移温度 T_g が、 $150^\circ\text{C} \sim 400^\circ\text{C}$ の範囲で構成されたことを特徴とする。

【0013】また、本発明は、前記半導体装置において、応力緩和層の硬化した熱可塑性樹脂の線膨張係数が、 $200 \text{ ppm/}^\circ\text{C}$ 以下で構成されたことを特徴とす

(4)

5

る。

【0014】また、本発明は、前記半導体装置において、応力緩和層の厚さが約 $35\mu\text{m}$ ～約 $150\mu\text{m}$ であることを特徴とする。

【0015】また、本発明は、前記半導体装置において、応力緩和層の硬化した熱可塑性樹脂として、少なくともポリイミド、ポリアミド、ポリアミドイミド、エポキシ、フェノール、シリコンの何れかから構成されていることを特徴とする。

【0016】また、本発明は、前記半導体装置において、半導体素子に形成された保護膜として、無機膜とその上に局部的に形成された有機膜とからなることを特徴とする。

【0017】また、本発明は、前記半導体装置の配線層において、少なくとも信号配線については、配線幅を、前記応力緩和層のエッジ部を応力緩和層の平坦部よりも太く形成したことを特徴とする。

【0018】また、本発明は、前記半導体装置において、配線層は、前記応力緩和層の表面に密着した給電膜層とめっき膜層とで構成されることを特徴とする。

【0019】また、本発明は、複数の回路電極が配列され、保護膜が被覆された回路面を有する半導体素子と、該半導体素子の回路面の保護膜上に前記回路電極を露出させて形成され、ガラス転移温度 T_g が、 150°C ～ 400°C の範囲である硬化された樹脂からなり、エッジ部に傾斜を形成した応力緩和層と、前記回路電極の各々に接続され、該回路電極から前記応力緩和層のエッジ部を通して応力緩和層の表面の所望の個所まで電気的につながって配設される複数の配線からなる配線層と、前記応力緩和層の表面における複数の配線の各々の所定の個所を露出させて前記配線層の表面を被覆した表面保護膜と、前記露出した複数の配線の各々の所定の個所にパンプを接合して形成した外部接続端子とを備えて構成されたことを特徴とする半導体装置である。

【0020】また、本発明は、前記半導体装置を、該半導体装置における外部接続端子を回路基板に形成された電極に接合することにより、該回路基板に実装して構成することを特徴とする半導体装置実装構造体である。

【0021】また、本発明は、複数の回路電極が配列された回路面を有する複数の半導体素子が配列されたウエハを製造するウエハ製造工程と、該ウエハ製造工程において製造されたウエハ状態における各半導体素子の回路面上に保護膜を形成する保護膜形成工程と、該保護膜形成工程で形成されたウエハ状態における保護膜上に、前記回路電極が露出するように、熱可塑性樹脂ペーストをマスク印刷を用いてエッジ部に傾斜を有する応力緩和層を印刷し、該印刷された応力緩和層を硬化させて前記保護膜上に形成する応力緩和層形成工程と、前記ウエハ状態における回路電極の各々に接続され、該回路電極から前記応力緩和層形成工程で形成された応力緩和層のエッ

6

ジ部を通して応力緩和層の表面の所望の個所まで電気的につながって配設される複数の配線からなる配線層を形成する配線層形成工程と、該配線層形成工程で形成されたウエハ状態における配線層の表面を、前記応力緩和層の表面における複数の配線の各々の所定の個所を露出させて表面保護膜で被覆する表面保護膜形成工程と、前記ウエハ状態において露出した複数の配線の各々の所定の個所にパンプを接合して形成する外部接続端子形成工程と、ウエハ状態から所望の単位に切断して半導体装置を得る切断工程とを有することを特徴とする半導体装置の製造方法である。

【0022】また、本発明は、前記半導体装置の製造方法において、配線層形成工程は、スパッタ成膜工程とめっき成膜工程とを有することを特徴とする。

【0023】また、本発明は、前記半導体装置の製造方法の応力緩和層形成工程において、熱可塑性樹脂ペーストの中に絶縁粒子を含有することを特徴とする。

【0024】以上説明したように、前記構成によれば、応力緩和層の材料として、熱可塑性樹脂材料を使用することによって、加熱硬化した際、溶剤が蒸発することになり、マスク印刷によって生じさせたふくらみ部分の形状を維持（確保）することが可能となり、その結果、その上に形成する配線にたわみ部分を形成して配線が切断されることを防止することが可能となる。

【0025】

【発明の実施の形態】本発明に係る実施の形態について図面を用いて説明する。なお、全ての図において、同一符号は同一部位を示しているため、重複する説明を省いている場合があり、また説明を容易にするため各部の寸法比を実際とは変えてある。

【0026】まず、本発明に係る半導体装置の構造について説明する。半導体装置は、ウエハ単位で多数個が一括して製造されるが、以下では説明を容易にするために、その一部を取り出して説明する。図1に本発明に係る半導体装置13の部分断面図を示す。

【0027】半導体回路が形成されたウエハ9とは、半導体製造工程でいうところの前工程を終了したウエハであり、多数個の半導体装置13に分割切断前のものである。各半導体装置13にはアルミパッド（回路電極）7が形成されている。このアルミパッド7は従来型の半導体装置13において、QFP（Quad Flat Package）などの半導体パッケージにおさめる場合に、金ワイヤ等を接続し、半導体パッケージの外部端子との導通を実現するために使用されている。半導体回路が形成された半導体装置13の表面（回路面）は、アルミパッド（回路電極）7上および多数個の半導体が形成されたウエハ9をチップ状の半導体装置13に切断する際の切断部24およびその周辺を除き、保護膜8で覆われている。この保護膜8は、厚さ $1\sim 10\mu\text{m}$ 程度の無機材料からなる絶縁樹脂単独、あるいは前記無機絶縁膜

(5)

7

の上部に有機材料からなる有機絶縁膜を積層した複合膜を使用している。この複合膜を使用する場合、該有機膜40は感光性樹脂材料を使用することが望ましい。本実施例で保護膜8の有機膜40として好適な感光性材料を例示すると、感光性ポリイミド、感光性ベンゾシクロブテン、感光性ポリベンズオキサゾールなどがある。本実施例では、これに限らず保護膜として公知慣用の無機材料、有機材料あるいはこれらの複合膜が使用できる。例えば、無機膜41としては、 SiN や SiO_2 などが使用できる。

【0028】また、有機膜40は、無機膜41のほぼ全面を覆うように形成されていても勿論かまわないが、図17に示されるようにアルミパッド（回路電極）7の近傍となる領域のみに形成されていてもかまわないし、図18に示されるように無機膜41の表面の任意の複数箇所のみに形成されていても構わない。このように有機膜40の領域を限定することによって保護膜8の内部応力によるウエハ9の反りが低減され、製造工程におけるハンドリングや露光時の焦点合わせなどの点で有利となる。なお、本実施例では、アルミパッド7の近傍の領域とは、アルミパッド7の端部から最大距離1mmまでの領域を指している。なお、図17及び図18ではアルミパッド7の周囲の有機膜40は連続領域に形成されているが、個々のアルミパッド毎にそれぞれ独立した領域に形成しても構わない。具体的には、例えば図19のような領域となる。図17から図19のいずれの形態を使用するかは、該有機膜40に使用する感光性樹脂のパターン精度、膜の内部応力、および該半導体装置13の素子特性を鑑みて決定する。ここで言う素子特性の一例を挙げると、該半導体装置への応力作用により素子内部の個々のアクティブセル（トランジスタ）におけるエネルギー障壁の準位が変動したりすることを指している。

【0029】上記保護膜8の上には、本実施例に係る厚さ35~150 μm の応力緩和層5を選択的に形成する。応力緩和層5の膜厚は、半導体素子のサイズ、応力緩和層の弾性率、半導体素子厚などにも依存しているが、一般的に使用される半導体素子厚は、およそ150~750 μm であり、半導体素子とその表面に形成される応力緩和層とからなるバイメタルモデルで応力シミュレーション実験をおこなったところ、所要の応力緩和層5の膜厚は、10~200 μm が望ましく、更に好ましくは35~150 μm であることがわかったため、本発明に係る実施例ではこの膜厚範囲で形成した。この応力緩和層5の膜厚は、半導体素子の厚みに対して約1/20から1/5程度の厚みに相当する。応力緩和層5の膜厚が35 μm より小さくなると、所望の応力緩和を得ることができず、また応力緩和層5の膜厚が150 μm を越えて厚くなると応力緩和層5自身が持っている内部応力のためにウエハの反りが発生し、露光工程でのピントズレや配線形成工程などでのハ

8

ンドリング不具合などが発生し易くなり、生産性が低下するという問題がある。

【0030】そして、本実施例に係る応力緩和層5は、半導体ウエハ9より大幅に小さい弾性係数、例えば室温（20℃程度とする。）において0.1GPaから10GPaの弾性係数を有する樹脂材料、特に硬化した熱可塑性樹脂材料により形成する。この範囲の弾性係数を有する応力緩和層であれば信頼性のある半導体装置を提供することができる。すなわち、0.1GPaを下回る弾性係数の応力緩和層の場合、半導体素子そのものの重量を支えることが困難になって半導体装置として使用する際に特性が安定しないという問題が生じやすい。一方、10GPaを越える弾性係数の応力緩和層を使用すると、応力緩和層5自身が持っている内部応力のためにウエハの反りが発生し、露光工程でのピントズレや配線形成工程などでのハンドリング不具合などが発生し易くなり、さらにはウエハが割れるという不具合が発生する危険性すらある。

【0031】更に、本実施例に係る応力緩和層5のエッジ部は、傾斜を有しており、その平均勾配は5~30%程度である。5%を下回る傾斜角の場合、傾斜が長くなりすぎて所望の膜厚が得られない。例えば、平均勾配3%の傾斜角で厚み100 μm とするためには、3mm超の水平距離が必要となり左右のエッジ部をあわせるとほぼ7mmがなければ所望の膜厚が得られないことになる。一方、傾斜角が30%超の場合、水平距離の点では問題がないが、逆に配線形成の際に十分なステップカバレッジが得られない危険性が高い。特にめっきレジストの付き回りや露光および現像の工程でのプロセスマージンがなく、特別な技能または技術が必要となる。さらに傾斜角が大きい場合には、いわゆる応力集中効果が作用してそのエッジ部に応力が集中し、その結果としてエッジ部で再配線用配線4の断線が発生しやすくなる傾向があらわれ、配線構造に特別な工夫が必要となる場合がある。

【0032】図1の場合、応力緩和層5のエッジより500 μm の水平距離にて50 μm の膜厚となっているため、平均勾配は10%程度である。

【0033】更に、本実施例に係る応力緩和層5の表面に電極、例えばパンプパッド3を形成するために、銅などの導体で形成された再配線用配線4でアルミパッド7と接続する必要がある。すなわち、再配線用配線4は、銅などの導体で形成されており、アルミパッド（回路電極）7と、応力緩和層5の表面のはんだボール等の外部接続用端子を形成するための電極、例えばパンプパッド3とを接続している。またパンプパッド3上は、パンプパッド3の酸化を防止するための金めっき2を設けてもよい。半導体装置13の表面はパンプパッド3および多数個の半導体が形成されたウエハ9を各半導体装置13に切断する際の切断部24を除き、表面保護膜6で覆わ

(6)

9

れている。

【0034】表面保護膜6で保護膜8および応力緩和層5を完全に覆うことで封止しているため、半導体素子が形成されたウエハ9の表面から保護膜8および応力緩和層5が剥離することを防止し、半導体の性能劣化を引き起こすイオン等の異物の侵入をも軽減できる。また、保護膜8、応力緩和層5、表面保護膜6は、いずれも切断部24より後退しているため、半導体装置13を切断分離する際に損傷を受けることがない。

【0035】表面保護膜6としては、電気絶縁特性を有する各種樹脂材料を使用することが出来る。パターンを形成する必要があるため感光性材料であることが望ましいが、例えばインクジェットなどの高精度印刷に対応した材料を用いて印刷で成膜しても構わない。その他、カーテンコートなどの安価な塗布方法によって絶縁膜をベタ形成した後にフォトリソグラフィプロセスを用いてエッチングレジストを形成してパターンニングし、このレジストパターンを用いて上記絶縁膜をエッチング加工、レジスト剥離という工程を経て成膜してもよい。

【0036】このような材料として、本実施例では様々な材料が使用可能であるが、いくつか例示すると(1)感光性材料としてアクリル変成感光性エポキシ樹脂、感光性ポリイミド樹脂、(2)インクジェット印刷材料としてポリアミドイミド樹脂、ポリイミド樹脂、(3)ベタ成膜用材料として変成トリアゾール樹脂、変成メラミン樹脂、ポリイミド樹脂などが好適に用いられる。感光性材料についてさらに具体的に例示すると、安価な感光性樹脂材料としてプリント基板製造工程で好適に使用されるソルダーレジストやフレキシブルプリント基板の表面カバーに用いられる感光性ポリイミドなどが表面保護膜6として好適に利用される。一方、ベタ成膜用材料としては、例えば東レ(株)のフォトニースTMなどが好適である。なお、本実施例では、ソルダーレジストを用いた。

【0037】更に、バンプパッド3上には、半導体装置13を回路基板上に接続実装させるためのバンプ1が形成される。このバンプ1は、はんだ材料で形成するのが一般的である。ここでバンプ1が外部接続端子となる。

【0038】図2には、図1で示した半導体装置13がウエハ上に連続的に形成されている状態を、本来は存在するバンプ1を省略した平面図で示した。図2においてハッチングで示した部位が表面保護膜6であるソルダーレジストである。また、応力緩和層5が角を丸めた長方形状に形成されている状態で形成されおり、各半導体装置13の間には各半導体装置13を分離する際の切りしろとなる切断部24が存在する。切りしろは、例えば表面保護膜6の端部から10～100 μ m程度に位置するのが望ましい。10 μ m程度より短いと各半導体装置を分離する際にチップングを誘発しやすくなる傾向があり、逆に100 μ m程度より長くなると半導体素子とし

10

て使用可能な有効面積が減少する。従って、半導体装置13の歩留まり向上のために切りしろと表面保護層6との間隔を本実施例では10～100 μ m程度に位置させることが望ましい。なお、再配線用配線4の一端の下層には図示されてはいないがアルミパッド7が存在する。

【0039】このように本発明に係る半導体装置の構造によれば、応力緩和層5が再配線用配線4とウエハ9間に存在するため、半導体装置13が回路基板14上に接続され、それが動作する際にバンプ1が受ける熱による歪みを分散させることが可能となる。このため、この半導体装置13を、図21に示すように、回路基板14に搭載してもアンダーフィルを実施することなく接続寿命を延ばすことが可能となる。また、応力緩和層5は、なだらかな傾斜部を有しているため、再配線用配線4の途中に応力集中部となる配線屈曲部は存在しない。

【0040】本実施例における半導体装置13の製造工程の一例を、図を用いて説明する。図3により第一工程から第三工程までを、図4により第四工程から第六工程を、図5により第七工程から第九工程を説明する。なお、いずれの図においても、本実施例における半導体装置13の断面構造がわかりやすいように、一部分を取り出した断面図としてある。

【0041】第一工程：外部接続用のアルミパッド7が形成済みである半導体が形成されたウエハ9については、従来の半導体装置13と同じ工程にて製造する。本実施例で使用した半導体装置では外部接続用パッドの材質はアルミニウムであったが、外部接続パッドは銅であってもかまわない。本実施例では外部接続としてワイヤボンディングを使用しないため、外部接続パッドが銅の場合に生じやすいボンディング性の問題を考慮する必要がないからである。外部接続パッドが銅であれば配線の電気抵抗を低減できるため、半導体素子の電気特性向上の観点からも望ましい。

【0042】第二工程：必要に応じて、保護膜8を形成する。保護膜8は、無機材料を用いて半導体製造工程におけるいわゆる前工程において既に形成される場合もあり、また、更に無機材料の上に有機材料を用いて重ねて形成する場合もある。本実施の形態に於いては、半導体工程におけるいわゆる前工程で形成された無機材料からなる絶縁膜、例えばCVD法等で形成した窒化珪素、テトラエトキシシラン等によって形成された二酸化珪素、あるいはそれらの複合膜からなる絶縁膜の上に、有機材料である感光性ポリイミドを塗布し、これを感光、現像、硬化することで厚さ6 μ m程度の保護膜8を形成している。これにより、半導体が形成されたウエハ9上に保護膜8が形成される。本実施例では保護膜8の膜厚を6 μ m程度としたが、所要膜厚は当該半導体素子の種類によって異なっており、その範囲は1～10 μ m程度となる。なお、図2に示している表面保護膜6と同様に有機膜40は無機膜41のほぼ全面を覆うように形成され

(7)

11

ていても勿論かまわないが、図17～図19に示されるようにアルミパッド7の近傍となる領域のみに形成されていてもかまわない。無機材料のみからなる絶縁膜8の場合、膜厚の範囲は3 μ m程度以下となる。また、本実施例で使用した感光性ポリイミド以外にも、ポリベンズオキサゾール、ポリベンゾシクロブテン、ポリキノリン、ポリフォスファゼンなども使用できる。なお、図17(b)、図18(b)、および図19は、チップ領域10を示す。

【0043】第三工程：ペースト状ポリイミド材料、特にペースト状熱可塑性ポリイミド材料を応力緩和層5の形成予定箇所に印刷塗布し、その後これを加熱することで硬化させる。これにより保護膜8上に本実施例に係る応力緩和層5が10～200 μ m程度（好ましくは35～150 μ m程度）の膜厚で形成される。

【0044】第四工程：電気めっきに用いるための給電膜（例えばCr薄膜とCu薄膜からなる）16をスパッタ等の方法で形成した後に、配線の逆パターン17をフォトリジストを用いて形成する。

【0045】第五工程：この給電膜16および配線の逆パターン17を利用して電気めっきを行い、再配線用配線4およびバンプパッド3の形成を行う。また、必要に応じて電気めっきを繰り返すことで再配線用配線4を多層構造とする。

【0046】第六工程：フォトリジストからなる配線の逆パターン17および電気めっきの給電膜16をエッチング処理により除去する。

【0047】第七工程：ソルダーレジストを用いて表面保護膜6を形成する。そして、このパターンを利用してバンプパッド3の最表面に無電解金めっき2を行う。

【0048】第八工程：バンプパッド3上にフラックスと共にはんだボールを搭載し、加熱することでバンプパッド3にはんだボールを接続し、バンプ1を形成する。

【0049】第九工程：半導体が形成されたウエハ9の切断部24をウエハダイシング技術により切断することによって、図21に示すように、回路基板14に接続実装できる半導体装置13が完成することになる。

【0050】以下では、上記の第三工程から第八工程までについて詳細に説明する。

【0051】まず、第三工程について具体的に説明する。本実施例に係る応力緩和層5は、10～200 μ m程度（好ましくは35～150 μ m程度）の膜厚にする必要があるため、印刷することによって形成するようにした。印刷に使用するマスク30としては、プリント配線板に対するはんだペースト印刷などで使用する印刷用マスクと同じ構造のものが使用可能である。例えば、図6に示すように、ニッケル合金製のステンシル25を、樹脂シート26を介して枠27に貼り付けた形態のメタルマスクを使うことが出来る。印刷用マスク30のパターン開口部28は、50 μ m程度は印刷後にペーストが

12

漏れ広がるため、それを見込んだ分、小さめに製作するようにしてもよい。図7に示すように、ペースト印刷は、印刷用マスク30と半導体が形成されたウエハ9のパターンとを位置合わせした状態で密着させ、その状態で、スキージ32がステンシル25上を移動することで、パターン開口部28をペースト31で充填し、その後、印刷用マスク30を半導体が形成されたウエハ9に対して相対的に上昇させることで、印刷をするいわゆるコンタクト印刷をおこなう。なお、ここで言うウエハ9と印刷用マスク30の密着は、両者の間に隙間を全くなくすることを必ずしも意味しない。ウエハ9上には既に保護膜8が部分的に形成されているため、この上に印刷マスク30を隙間なく密着させることは実用上困難なためである。本実施例では、ウエハ9と印刷用マスク30との間の隙間が0～100 μ m程度となるような印刷条件で印刷した。このほかにも、第一スキージで印刷用マスク30のスキージ面全体をペースト31でコーティングし、その後、第二スキージで印刷用マスクのパターン開口部28を充填し、かつ余分なペーストを除去する。その後、印刷用マスク30を半導体が形成されたウエハ9に対して相対的に上昇させる印刷方法もある。図8に示すように、印刷マスク30をウエハ9に対して相対的に上昇させる際、垂直に上昇させてもかまわないが、相対的に傾斜角を持つように動かしながら上昇させても良い。傾斜角を持たせることによって、印刷マスク30がウエハ9から離れる場合の版離れ角がウエハ面内で均一になりやすい。また、印刷マスク30はウエハ9の一方の端から他方の端へ向かって離れていくことになり、版抜けが不安定になりやすい版離れの最後の瞬間は半導体装置のない領域で行われることになって歩留り向上の点でも有利となる。さらに、同一の印刷機を用いて複数枚ウエハ9に連続的印刷を行なう場合には、適宜のタイミングでマスク版の裏側を拭きとる工程を挿入すると良い。例えば、本実施例では10枚連続印刷すると1回マスク版の裏側の清掃を行ない、しかる後に11枚目の印刷を行なった。マスク裏側の清掃のタイミング、回数、その方法はペースト材料の粘度や固形分濃度、フィラー量などによって適宜調節が必要となる。

【0052】引き続きペーストパターン33が印刷塗布された半導体が形成されたウエハ9をホットプレートや加熱炉を用いて段階的に加熱することでペーストパターン33が硬化し、応力緩和層5が形成される。

【0053】ここで使用している応力緩和層5の形成用の材料は、ペースト状のポリイミドであり、保護膜8の上に印刷塗布された後に加熱することで硬化することが出来る。また、このペースト状のポリイミドは、ポリイミドの前駆体と溶媒およびその中に分散した多数のポリイミドの微小粒子からなっている。微粒子としては、具体的には平均粒径1～2 μ m程度であり、最大粒径が約10 μ mとなる粒度分布を有する微小粒子を使用した。

(8)

13

本実施例に用いられているポリイミドの前駆体は、硬化するとポリイミドの微小粒子と同一材料となるので、ペースト状のポリイミドが硬化した際には、一種類の材料からなる均一な応力緩和層5が形成されることとなる。本実施例では、応力緩和層形成材料としてポリイミドを用いたが、本実施の形態では、ポリイミド以外にアミドイミド樹脂、エステルイミド樹脂、エーテルイミド樹脂、シリコーン樹脂、アクリル樹脂、ポリエステル樹脂、これらを変性した樹脂などを用いることも可能である。ポリイミド以外の樹脂を使用する場合には、上記ポリイミド微小粒子表面に相溶性を付与する処理を施すか、あるいは、上記ポリイミド微小粒子との親和性を向上するように樹脂組成に変成を施すことが望ましい。

【0054】上記列挙した樹脂のうち、イミド結合を有する樹脂、例えばポリイミド、アミドイミド、エステルイミド、エーテルイミド等では、イミド結合による強固な骨格のおかげで熱機械的特性、例えば高温での強度などに優れ、その結果として、配線のためのめっき給電膜形成方法の撰択肢が広がる。例えば、スパッタなどの高温処理を伴うめっき給電膜形成方法を選択できる。シリコーン樹脂やアクリル樹脂、ポリエステル樹脂、アミドイミド、エステルイミド、エーテルイミドなどイミド結合以外の結合で縮合した部分がある樹脂の場合、熱機械特性は若干劣るものの加工性や樹脂価格などの点で有利な場合がある。例えば、ポリエステルイミド樹脂では、一般にポリイミドよりも硬化温度が低い扱いやすい。本実施の形態においては、これらの樹脂の中から素子特性、価格、熱機械特性などを総合的に勘案してこれらの樹脂を適宜使い分ける。

【0055】ペースト状のポリイミド中にポリイミド微小粒子を分散させることで材料の粘弾特性を調整することが可能となるため、印刷性に優れたペースト31を使用することが出来る。微小粒子の配合を調整することで、ペースト31のチクソトロピー特性を制御することが可能となるため、粘度の調整と組み合わせることで、印刷特性を改善することが出来る。また、応力緩和層5の傾斜角度を調節することもできる。

【0056】本実施例で、好適なペースト31のチクソトロピー特性は、回転粘度計を用いて測定した回転数1rpmでの粘度と、回転数10rpmでの粘度との比から求めた、いわゆるチクソトロピーインデックスが2.0から3.0の範囲にあることが望ましい。なお、チクソトロピーインデックスに温度依存性が現れるペーストの場合、チクソトロピーインデックスが2.0から3.0の範囲になるような温度領域で印刷すると高成績が得られる。

【0057】印刷したペースト状のポリイミドを加熱硬化した後は、図9に示す如く、ウエハ9上に傾斜部35および平坦部36からなる断面形状を有する応力緩和層5が形成される。このように印刷により応力緩和層5

14

を形成すると、応力緩和層5のエッジ部より200~1000μmのところにくらみ部分34が存在する場合があるが、このくらし部分34の位置および存在の有無については、ペースト状のポリイミドの組成を調整したり、印刷に関わる各種条件を変更することで、ある程度制御可能となる。

【0058】なお、この場合の印刷に関わる各種条件としては、メタルマスク厚さ、スキージ速度、スキージ材質、スキージ角度、スキージ圧（印圧）、版離れ速度、印刷時のウエハの温度、印刷環境の湿度等々があげられる。

【0059】上記くらし部分34の高さや形状の制御は、上記印刷条件によって達成できるが、その他の制御方法として、保護層8の構造調整による方法もある。例えば、図36に示したように保護膜8の有機層40の形成領域をパッド7の近傍のみに限定すれば、有機層40上部に相当する部分の応力緩和層5を盛り上げさせることは容易である。

【0060】更に、図1に示すように応力緩和層5にくらし部分34を積極的に形成した場合は、配線4のたわみ部分を形成することができ、これにより熱膨張などによる応力を吸収しやすい構造となり、配線4の断線をより防止することができる。具体的には、応力緩和層5の平均厚さに対して、最大で約25μm、望ましくは7~12μm程度の高さを持つくらし部分34が形成されることが好ましい。この程度の頂点であれば、マスク印刷30により十分形成可能である。例えばこのくらし部34を半径が10μmの半円筒形状と仮定すると、くらし部34の半弧の長さは $(2 \times 3.14 \times 10 \mu\text{m}) / 2 = 31.4 \mu\text{m}$ となり、配線4の冗長長さは、くらし部1個について $31.4 \mu\text{m} - 10 \mu\text{m} = 21.4 \mu\text{m}$ 、応力緩和層5の両側に1つずつ形成した場合には42.8μmとなる。このように、配線4に冗長部を設けることができるため、配線構造およびはんだ接合部に作用する熱応力が緩和され、従って、信頼性の高い配線構造を提供できる。

【0061】なお、このくらし部34の所要厚さは、応力緩和層5の膜厚および弾性率、半導体素子13のサイズ、半導体素子の消費電力、半導体素子を搭載する回路基板14の物性値などを勘案した実験およびシミュレーションから求める。例えば、本実施例では、半導体素子13の対角長さをLmmとし、半導体素子13とそれを搭載する回路基板14の線膨脹係数の差が15ppm/℃、半導体素子13の基板搭載プロセス～動作中のON/OFFによって生じる最大温度範囲が摂氏200度とすると、基板実装品が実使用環境での使用で配線部が受ける最大熱変形量は、 $15 (\text{ppm}/^\circ\text{C}) \times L / 2 (\text{mm}) \times 200 (^\circ\text{C}) = 0.0015 \times L \text{mm}$ となる。従って、上記くらし部34に要求される冗長長さは、 $0.002 \times L \text{mm}$ 程度あれば充分であると考え

(9)

15

た。この計算からふくらみ部34を半円筒形状で近似して、本実施例では、そのふくらみ部分の高さは応力緩和層5の平均厚さに対して $L/2000\text{mm} \sim L/500\text{mm}$ 程度の範囲に収まるようにした。

【0062】ところで、特に、印刷したペースト状の樹脂が、具体的には後述するように、熱可塑性樹脂の場合、加熱硬化した際、溶剤が蒸発することになり、マスク印刷によって生じさせたふくらみ部分34の形状を維持(確保)することが可能となり、その結果、その上に形成する配線4にたわみ部分を形成して配線4が切断されることを防止することが可能となることを実験によって確認することができた。

【0063】逆に、印刷したペースト状の樹脂が、後述するように、熱硬化性樹脂の場合、加熱硬化した際、該樹脂が熔融して硬化する関係で、マスク印刷によって生じさせたふくらみ部分34が熔融してなくなってしまう傾向にあり、その結果、その上に形成する配線4にたわみ部分を形成することが難しくなる。

【0064】必要となる応力緩和層5の膜厚が1回の印刷および加熱硬化で形成されないときには、印刷及び材料の硬化を複数回繰り返すことで所定の膜厚を得ることができる。例えば、固形分濃度30～40%のペースト31を用いて厚さ65 μm のメタルマスクを使用した場合、2回の印刷で硬化後の膜厚として約50 μm を得ることが出来る。また特に、回路基板14に半導体装置13を接続した際に歪みが集中しやすい箇所に配置されているバンプ1については、該当する個所の応力緩和層5のみに限定して厚さを厚膜化することで、歪みの集中を緩和することも出来る。このためには、例えば、ペースト状ポリイミドを半導体が形成されたウエハ9上に対して、1回目の印刷にて使用したものと異なるメタルマスクを使い複数回の印刷をすれば良い。第2の方法として、ひずみが集中しやすいバンプの直下における保護層8の構造を調整することによって応力緩和層5の厚みを部分的に変更することもできる。例えば、保護層8の構造を、該当するバンプ1の直下では無機膜のみからなる無機層41を使用し、その他の領域では無機と有機複合層とすると、低弾性な応力緩和層5の厚みは、該バンプの直下では有機層の厚み分だけ厚くすることができる。

【0065】なお、必ずしも応力緩和層5中に微粒子を有する必要はなく、微粒子をペースト中に分散させない場合でも印刷に必要な最低限の粘弾性特性が確保されればよい。ただし、微小粒子をペースト中に分散させない場合は、印刷に関わる各種条件のマージンが極端に狭くなる可能性がある。

【0066】次に、第四工程について具体的に説明する。本実施の形態では、再配線用配線4を電気銅めっきと電気ニッケルの2層とした。なお、再配線用配線4の一端をバンプパッド3と兼用してもよい。ここでは、銅、ニッケルとも電気めっきを用いて導体を形成する方

16

法を示したが、無電解めっきを用いることも可能である。

【0067】まず、電気めっきを実施するための給電膜16を、半導体ウエハ全面に形成する。ここでは、蒸着や、無電解銅めっき、CVDなども用いることが可能であるが、保護層8および応力緩和層5との接着強度が強いスパッタを用いることとした。スパッタの前処理として、ボンディングパッド7と再配線用配線4導体との間の導通を確保するためにスパッタエッチングを行った。

10 本実施例におけるスパッタ膜としては、Cr(75nm \sim 0.1 μm 程度)/Cu(0.2 μm \sim 0.5 μm 程度)の多層膜を形成した。ここでのCrの機能は、その上下に位置するCuと応力緩和層5等との接着を確保することにあり、その膜厚はそれらの接着を維持する最低限が望ましい。Crの膜厚が厚くなると成膜時間が増大して生産効率が低下するという問題に加えて、保護層8や応力緩和層5を長時間にわたってスパッタチャンバー内に発生している高エネルギー状態のプラズマに曝すことになり、これらの層を形成している材料が変質するという危険性がある。なお、所要膜厚は、スパッタエッチングおよびスパッタの条件、Crの膜質などによっても変動するが、おおむね最大で0.5 μm である。なお、本実施の形態で使用したCr膜に代えてTi膜やTi/Pt膜、Wなどでも代替できる。一方、スパッタ銅の膜厚は、後の工程で行う電気銅めっき及び電気ニッケルめっきを行ったときに、めっき膜の膜厚分布が生じない最小限度の膜厚が好ましく、めっき前処理として行なう酸洗などでの膜減り量も考慮に入れたうえで膜厚分布を誘発しない膜厚を決定する。スパッタ銅の膜厚を必要以上に厚くした場合、例えば1 μm を越える銅厚の場合に

30 は、スパッタ時間が長くなって生産効率が低下するという問題に加えて、後の工程で実施する給電膜16のエッチング除去の際に長時間エッチングが避けられず、その結果として再配線用配線4のサイドエッチングが大きくなる。単純な計算では、1 μm の給電膜をエッチングする場合には配線も片側1 μm 、両側で2 μm のエッチングが起こる。実際の生産では、給電膜のエッチング残りが発生しないようにオーバーエッチングすることが一般的に行われているため、1 μm の給電膜をエッチングする場合には配線が5 μm 程度サイドエッチングされることになる。サイドエッチングがこのように大きくなると、配線抵抗が大きくなったり、断線を誘発しやすくなったりして、配線性能の観点で問題を発生しやすい。従って、スパッタ銅の膜厚はおおむね最大で1 μm となる。

【0068】次に、ホトリソグラフィ技術を用いて、再配線用配線4の逆パターン形状17をレジストを用いて形成する。図4中のBで示した応力緩和層5のエッジ部におけるレジストの膜厚は、斜面部から流れ出たレジストにより、他の場所と比べ厚くなる。このため、解像

50

(10)

17

度を確保するためには、ネガ型の方が好ましい。レジストとして、液状レジストを用いた場合、図4中のBで示した応力緩和層5のエッジ部の斜面上部ではレジスト膜厚が薄くなりやすく、斜面下部では逆にレジスト膜厚が厚くなり易い傾向がある。斜面上部と斜面下部とで膜厚の異なるレジストを同一露光量、同一現像条件でパターンニングするには広い現像裕度が必要となる。一般に、膜厚に対する現像裕度はポジ型感光特性レジストよりもネガ型感光特性レジストが広い。本実施例ではネガ型の液状レジストを用いた。なお、フィルムレジストを使用する場合には、斜面上下での膜熱差は発生しないためネガ型でもポジ型でも使用可能となるが、斜面部はななめから露光することになって実質光路長が長くなるため、この場合にもネガ型を用いると好成績が得られることが多い。応力緩和層5のエッジ部の傾斜が大きい場合*

表1

		露光マスク下部の隙間 [μm]			
		40	60	80	100
配線幅 [μm]	15	×	×	×	×
	20	○	×	×	×
	25	○	○	○	×
	30	○	○	○	○
	40	○	○	○	○
	50	○	○	○	○

○：解像可

×：解像不可

図11には、アルミパッド7との接続部23とバンパパット3が再配線用配線4で接続されている様子を示す。本実施の形態で使用した露光装置の場合には、表1の横軸である露光マスクの下部の隙間は、応力緩和層5の厚さにほぼ対応している。例えば応力緩和層5の厚さが60 μm であれば配線の幅は25 μm まで解像可能である。したがって、信号線の配線幅を25 μm とし、電源またはグランド線の配線幅を40 μm として配線4をすることもできる。また、信号線の配線を25 μm として、その信号線の一部を太くすることも可能である。

【0072】なお、図12には、応力緩和層5の傾斜部付近における再配線用配線4を拡大して示す。

【0073】上述のように、応力緩和層5のエッジ部近傍でレジスト膜厚が不均一となっているため、その領域で現像不足が発生しやすい傾向があった。図13には、実際に応力緩和層5のエッジ部分で現像不足が起こっている様子を示す。本実施の形態では、この対策のために現像液の回り込みを改善することによって解決した。より具体的に例示すると、配線パターン形状を図14や図15に示したように変更することなどの方策である。

【0074】図14はアルミパッドとの接続部23から応力緩和層5の頂上付近まで配線幅を太くした場合を、

18

*やブリーチング特性の弱いフィルムレジストを用いる場合には、ネガ型が特に好ましい。

【0069】本実施例では、図10に示すように、露光マスク21とレジスト22が密着し、一部に隙間20を有するタイプの露光機を用いた。該露光機での解像限界は、露光用マスク21とレジスト22とが密着した場合で約10 μm であった。我々の実験結果によると、露光マスク21下部の隙間20と解像する配線幅の関係は、表1に示すようになった。なお、表1中の値は露光機の光学系や現像条件、レジストの感度、レジスト硬化条件、配線幅／配線間隔の比などにより変化する。

【0070】表1に示している実験結果は、配線幅／配線間隔の比が1.0の場合の値である。

【0071】

【表1】

図15は解像性が悪い応力緩和層5のエッジ部分のみの配線幅を太くした場合を示している。なお、これら図14および図15における配線幅は、応力緩和層5の厚さと表1に示した解像特性とを考慮して決定する。他の解決策として現像時間を延長することで現像残りを解消する方法も考えられる。

【0075】また、マスク面で光が回折するため、露光マスク21の下に隙間20が存在することに起因して解像性低下やパターン精度低下が起こる場合がある。この現象の解決策として、(1)露光機の光学系変更、

(2)レジストのブリーチング性改良、(3)レジストのプリベーク条件適正化、(4)多段露光などがあげられる。露光機の光学系の変更について具体例を1つ挙げると、NA値が0.0001以上0.2以下の露光機を使用するという方策があげられる。ここで挙げた例に限らず、公知慣用のプロセス上の工夫を適宜組み合わせることで、パターンの解像性、精度を向上することができる。

【0076】応力緩和層5のエッジ部は、ウエハ9と応力緩和層5の物性値の違いにより生じる応力が集中しやすい構造上の特徴があるので、応力緩和層5の傾斜部で配線を太くすることにより断線を効果的に防止すること

(11)

19

もできる。なお、必ずしもすべての配線を同じ太さにする必要はなく、例えば図16に示すように電源／グランド線4bと信号線4aで配線の幅を変えるようにしてもよい。この場合、電気的な特性を考慮すると一般には電源／グランド線4bを信号線4aよりも太くすることが望ましい。

【0077】信号線4aを太くした場合、これにより配線の有する容量成分が増加し、高速動作時に影響を及ぼすからである。逆に、電源／グランド線4bを太くすると電源電圧が安定するという効果が期待できるのでむしろ好ましい。したがって、図示するように信号用配線4aについては、応力の集中する部分だけを最低限緩和できるようにエッジ周辺を太くしたパターンとし、電源用またはグランド用配線4bについては傾斜部を一樣に太くすることが望ましい。一方、応力緩和層5が形成されていない平坦部については、配線の容量成分の影響を考慮し、信号配線4aを細くしている。ただし、これは、半導体素子の種類やその配線パターンによりその都度考慮する必要がある。例えば、半導体素子やその配線パターンにも依存するが、保護膜8の厚みを増大すると配線4の容量低減に大きな効果があるので、応力緩和層5が形成されていない平坦部で信号配線4aを太くせざるを得ない場合には、保護膜8を厚く形成することが望ましい。具体的には、配線幅を10%増大させる場合には、保護膜8の膜厚も約10%程度増大させることが望ましい。一方、応力緩和層5の上部平坦部36での配線幅は、信号線容量よりもむしろ配線密度によって制限を受ける。すなわち、バンプパッド3の間隔に通す配線本数、バンプパッド3の径、配線形成工程における位置合せ精度、などから応力緩和層5の上部平坦部36での配線幅の上限値が求められる。具体的に一例を示すと、バンプパッド3の間隔が0.5mmで、パッド径が300μm、パッド間に3本配線4をひく場合には、 $(500 - 300) / (3 \times 2 - 1) = 40$ 程度という計算となる。この計算結果から、本実施例では、平均配線幅／配線間隔=40μm程度とした。

【0078】次に、第五工程について具体的に説明する。本実施例では、硫酸酸性銅めっき液を用い銅めっきを実施した。電気銅めっきは、界面活性剤による洗浄、水洗、希硫酸による洗浄、水洗を行った後、給電膜16を陰極に接続し、リンを含有する銅板を陽極に接続して実施した。

【0079】引き続き、電気ニッケルめっきを行う。なお、電気ニッケルめっき前に、界面活性剤による洗浄、水洗、希硫酸による洗浄、水洗を行うと良好な膜質の電気ニッケルめっき膜が得られ易い傾向がある。電気ニッケルめっきは、給電膜16を陰極に接続し、ニッケル板を陽極に接続して行った。本実施例で好適な電気ニッケルめっきは、公知慣用ないずれのニッケルめっき浴でも使用可能であり、ワット浴系でもスルファミン浴系でも

20

よいが、本実施例ではワット浴系を用い、めっき膜内部応力が適正範囲になるように調整しためっき条件下で行なった。スルファミン浴はめっき液成分がワット浴と比べると高価であるうえ若干分解しやすい傾向があるという欠点はあるが皮膜応力が制御しやすい。一方、ワット浴は一般に皮膜応力が大きくなりやすいので、厚膜めっきした場合には自身の持つ皮膜応力(引っ張り応力)のために配線層にクラックが入る危険性が增大するという欠点がある。本実施例ではワット浴を用いたが、スルファミン浴を用いる場合でもワット浴を用いる場合でも、添加剤(皮膜応力抑制剤)の種類および濃度、めっき電流密度、めっき液温度の適正範囲を求めるためのモデル実験をあらかじめ実施してから行うと良い。本実施例ではこれらを適正に制御して膜厚10μm以下では配線にクラックがはいらない条件をあらかじめ求めてから実施した。

【0080】なお、めっき膜応力は、析出したニッケルの金属結晶配向性に関わる指標の1つであり、後述するはんだ拡散層の成長を抑制するために、適正に制御する必要がある。膜応力が適正に制御された条件下でめっきすると、めっき皮膜は特定量の微量成分を共析するようになる。例えば、硫黄0.001~0.05%を含有する膜の場合、特定の結晶配向面の含有率が高まる。より具体的に言えば、配向面111、220、200、311の含有率合計が50%以上となる。

【0081】電気ニッケルめっきの膜厚は、その後の工程で用いるはんだの種類やリフロー条件、及び半導体装置の製品特性(実装形態)により最適値を決定する。具体的には、はんだリフローや実装リペアの際に形成されるはんだとニッケルとの合金層の膜厚がニッケルめっき膜厚以上になるように決定すれば良い。上記合金層の膜厚は、はんだ中のスズの濃度が高いほど大きく、リフロー上限温度が高いほど大きくなる。

【0082】次に、第六工程では、電気銅めっきおよび電気ニッケルめっきを行ったのちに配線4の逆パターンであるレジスト17を除去し、エッチング処理をすることで予め成膜した給電膜16を除去する。

【0083】銅のエッチングには、塩化鉄、アルカリ系エッチング液等の種類があるが、本実施例では硫酸／過酸化水素水を主成分とするエッチング液を用いた。10秒以上のエッチング時間がないと制御が困難となつて実用的観点では不利であるが、あまりに長い時間エッチングを行なうと、例えば5分を越えてエッチングするような場合には、サイドエッチングが大きくなったりタクトが長くなるという問題も生じるため、エッチング液およびエッチング条件は、適宜実験により求めるのがよい。引き続き実施する給電膜16のクロム部分のエッチングには、本実施例では過マンガン酸カリウムとメタケイ酸を主成分とするエッチング液を用いた。なお、上記電気ニッケルめっき膜は給電膜16のエッチングの際のエ

ッチングレジストとしても機能している。従って、NiとCu、NiとCrのエッチング選択比を勘案してエッチング液の組成成分、エッチング条件を決定するとよい。例えば、具体的に言えば、銅のエッチングの際に使用する硫酸過酸化水素エッチング剤では、硫酸の含有量は最大でも50%以下、望ましくは15%以下とする。これにより、Niに対して10倍程度のエッチング選択比でCuをエッチングすることができる。

【0084】次に、第七工程では、パンプパッド3および切断部24およびその周囲のみが開口した表面保護膜6を形成し、引き続き無電解金めっきを実施することでパンプパッド部3に金を成膜した。ここでは表面保護膜6としてソルダーレジストを使用し、これを半導体装置13の全面に塗布した後に露光、現像することでパターンを形成する。なお、ソルダーレジストの他にも感光性ポリイミドや印刷用ポリイミドなどの材料を用いて表面保護膜6を形成することも可能である。

【0085】以上のような工程を経ることで、表面保護膜6は、再配線用配線4、応力緩和層5、保護膜8などを完全に覆うこととなる。このため、表面保護膜6は、再配線用配線4、応力緩和層5、保護膜8が刺激性物質により変質、剥離、腐蝕することを抑止できる。表面保護膜6に使用する材料には、このような最終の保護膜としての特性が求められるため、室温（20℃程度とする。）付近における破断伸びが少なくとも3%以上必要で、10%超の破断伸びを有する材料であることが好ましい。破断伸びが3%を下回る材料の場合には、製造段階での様々なプロセス、パッケージとして流通させる際のハンドリング、あるいは機器に組み込んで使用している環境下でのさまざまな衝撃や応力などにより表面にクラックが発生しやすい傾向があり、最終保護層としての機能の一部を失う危険性がある。逆に破断伸びが10%超であると上述のようなクラック発生危険性は低いので、本実施例を実施する上で特段の問題はないが、一般的にはおおむね破断伸び200%以下であることが望ましい。破断伸び200%超の材料は、耐熱性や耐候性の点で劣る場合が見受けられる。従って、より好ましくは破断伸び100%以下の材料を用いることが好ましい。

【0086】また、最終保護膜6には、下層との密着信頼性確保という別の機能も要求される。したがって、表面保護膜6の成膜プロセスは材料の持つ密着特性を損なわないような工夫が必要で、本実施例では、硬化フローの適正化を行なっている。具体的に例示すると、(1)多段階の温度階層からなる硬化フローの採用、(2)最終硬化温度での硬化時間の適正化、などの工夫があげられる。さらに具体的に記載すれば、プレッシャークック条件にさらした後の密着性成績を鑑みて、上記例示した工夫とその他公知慣用の工夫とを適宜組み合わせる。

【0087】以上説明した第七工程までで、図20および図2に示すごとく、アルミパッド7からパンプパッド

3までの再配線用配線4およびパンプパッド3が、半導体が形成されたウエハ9上に形成される。

【0088】次に、第八工程では、はんだボール搭載装置とリフロー炉を使用しパンプを形成する。つまり、はんだボール搭載装置を利用することで、パンプパッド3上に所定量のフラックスとはんだボールを搭載する。このはんだボールとしては、鉛フリーのはんだボールを用いることが好ましい。この際、はんだボールはフラックスの粘着力によりパンプパッド上に仮固定される。はんだボールが搭載された半導体ウエハをリフロー炉に投入することではんだボールは一旦熔融し、その後再び固体化することで、図1に示したパンプパッド3に接続したパンプ1となる。このほかにも印刷機を用いてはんだペーストをパンプパッド3上に印刷塗布し、これをリフローすることでパンプ1を形成する方法もある。何れの方法においてもはんだ材料は様々なものを選択することが可能となり、現時点において市場に供給されているはんだ材料の多くが使用できる。この他、はんだ材料は限定されるものの、めっき技術を用いることで、パンプ1を形成する方法もある。また、金や銅を核としたボールを使用したパンプや導電材料を配合した樹脂を使用して形成したパンプを使用しても良い。

【0089】以上、第一工程から第九工程までの工程を経ることで、図1に示した応力緩和層5を有し、かつ少ない工程数で再配線用配線4が形成され、しかも再配線用配線4の途中には応力が集中する屈曲部が存在しない半導体装置13を実現できる。また、上述した如く、スクリーン印刷等の印刷技術を使用することで、露光や現像技術を用いることなく厚膜の絶縁層である応力緩和層5をパターン形成することができ、その応力緩和層5は再配線用配線4を形成するための斜面を有することができる。

【0090】本実施例によれば、アンダーフィルを実施せず、半導体装置13をフリップチップ接続した場合でも半導体装置13の接続信頼性を大幅に向上させることができる。

【0091】このため本実施例によれば、多くの電気製品においてアンダーフィルを使用しないフリップチップ接続が可能となり、各種電気製品の価格を低減することが可能となることがわかる。

【0092】さらに、アンダーフィルを実施しないため、半導体装置13の取り外しが可能となる。つまり、回路基板に接続した半導体装置13が不良品であった場合、半導体装置13を回路基板上から取り外し回路基板を再生することが可能となり、これによっても各種電気製品の価格を低減することが可能となる。

【0093】以上説明した本発明に係るパッケージ（半導体装置）13では、図21に示すように、回路基板14への接合パンプ1の下部に応力緩和層5を設けた構造となっており、パンプ1に作用する熱応力はパンプ1の

下部から応力緩和層5へと伝達されることになる。即ち、本発明に係る半導体装置13は、応力シミュレーション実験により、熱応力がバンプ1の上下部へ集中することを明らかにした上で、応力集中点であるバンプ下部で直接的かつ効率的に応力緩和できる構造を構築したことにある。このように、本発明に係るパッケージ（半導体装置）自体の持つ構造的特徴をうまく引き出すために、応力緩和層5の材料組成にも工夫を施した。即ち、本実施例に係る応力緩和層5の材料は、アンダーフィルレジンと比べて弾性率を低減させており、その結果としてバンプ1へ作用する熱応力を柔軟に緩和させることができる。この応力緩和層5に好適な材料の弾性率は、室温において0.1から10.0GPa程度であることが望ましいが、一般のポリイミド硬化物よりは弾性率が低いものがさらに望ましい。なお、一般のアンダーフィルレジンの弾性率は一般的なポリイミド硬化物よりも大きい。応力緩和層5用材料の弾性率が0.1GPaを下回って小さすぎる場合には、後述する突起電極の形成や該半導体装置の機能試験を行う際に配線部分が変形し易くなり断線等の問題が懸念される。また、応力緩和層5の

*弾性率が10.0Gを越えて大きくなると十分な応力の低減効果が得られず、該半導体装置13を基板14に搭載した場合の接続信頼性が低下することが懸念される。

【0094】更に、本発明に係る半導体装置では、上記のようなパッケージ構造や材料物性の特徴を引き出すために、樹脂層形成工程の順番にも工夫を凝らしている。即ち、上述したごとく、本実施例では、再配線を形成する以前に応力緩和層5を形成・硬化させる。その結果、応力緩和層5を形成するときには配線4およびバンプ1はまだ形成する前の上面が開放された状態にあり、応力緩和層5への内部応力の蓄積は小さく、樹脂内部応力起因のバンプ変形は起こらない。

【0095】更に、本実施例に係る応力緩和層5の材料の実施例について具体的に説明する。即ち、応力緩和層5の材料としては、次の表2に例示する如く、熱可塑性材料も熱硬化性材料も同等の成績を与えることが、本発明の半導体装置13に対する温度サイクル試験結果から判明した。

【0096】

【表2】

表2

No	応力緩和層の材料	試験条件	試験試料数	不良発生サイクル数
1	熱可塑性*1	-55℃/ 125℃	45	>1000
2	熱硬化性*1		45	>1000
3	無し*1		20	100
4	無し*2		20	>1000

*1：アンダフィル無

*2：アンダフィル有

この表2からわかるように、応力緩和層5無しでアンダーフィルを使用しない実装形態では、かなり初期の段階で不良が発生する（No. 3）のに比べて、応力緩和層5がある場合（No. 1および2）にはアンダーフィルがなくても好成績を与えている。この成績は、応力緩和層無しでアンダーフィル有りの実装形態（No. 4）と同等であり、接続信頼性向上という観点において、応力緩和層5がアンダーフィルと同等の効果・作用を有していることが判明した。

【0097】なお、例えば応力緩和層5の材料は、応力緩和層形成工程以降の各工程での最高到達温度 T_{max} （350℃程度）を考慮したガラス転移温度 T_g および熔融温度 T_m を有するものを選択することが好ましい。さらに、具体的に述べると、配線4を応力緩和層5の表面に密着させるためのスパッタ成膜、表面保護膜（カバーコート層）6の成膜、はんだリフローの工程での最高到達温度 T_{max} と応力緩和層5の材料のガラス転移温度 T_g および熔融温度 T_m との間に特定の関係が望ましい。

【0098】その根拠について、その要点を図22～図

24を用いて説明する。図22（a）、（b）、および図23（a）、（b）、（c）は、5種類の材料A、B、C、D、Eの動的粘弾特性（貯蔵弾性率）と熱機械特性（TMA）（膨張量）とを示すグラフである。

【0099】図22（a）に示す材料Aは、熔融温度 T_{m-a} が、プロセス中最高到達温度 T_{max} （350℃程度）以上を有する熱可塑性材料である。即ち、図22（a）に示す材料は、プロセス中最高到達温度 T_{max} がガラス転移温度 T_{g-a} と熔融温度 T_{m-a} との間にある材料である。図22（b）に示す材料Bは、熔融温度 T_{m-b} が、プロセス中最高到達温度 T_{max} よりも低い熱可塑性材料である。材料AおよびBは、熱可塑性材料で、熔融温度は夫々 $T_{m-a} \geq T_{max}$ 、 $T_{m-b} < T_{max}$ である。従って、図22（b）に示す例えば熱可塑性材料Bは、 $T_{m-b} \leq T_{max}$ であるため、プロセス中で樹脂の破断が起こるという問題があるために応力緩和層用の材料として用いることはできない。しかし、図22（a）に示す熱可塑性材料Aでは、熔融温度 $T_{m-a} > T_{max}$ であるから、プロセス中で破断が起こらない。

【0100】熱可塑性材料の場合、高分子化されたものを使用するので、成膜した膜強度は一定しやすいが、ガラス転移温度 T_g 付近から高温側において膜強度は著しく低下する。そこで、本実施例では、図22(a)に示すように、ガラス転移温度 T_g と熔融温度 T_m とを考慮したプロセス温度とすることで強度低下の問題を解決している。

【0101】これに対して、後述する熱硬化性材料を使用する場合、一般に熱硬化性材料は低分子で成膜するため、硬化過程プロセス安定性（熱の均一性など）が悪いと一定しないことがある。適正に管理されていれば、ガラス転移温度 T_g 以下では十分な強度があり、ガラス転移温度 T_g を超えても膜強度の低下を抑制することもできる。

【0102】即ち、応力緩和層5として熱可塑性材料の場合、ワニスの性状としては、反応性のない（硬化済みの）ワニスを固めることになる。そして、溶剤に溶解して使用するため、無溶剤化する場合は、高温にして溶解する必要がある。熱可塑性材料の場合、既に高分子化しているため、溶解にはかなりの高温が必要である。この熱可塑性材料の成膜方法としては、ワニスを塗布した後、ワニス内の溶剤を加熱などにより揮発させるか、または溶解させた樹脂を塗布後、冷却する。このように熱可塑性材料の場合、高分子化されたものを使うので、強度は一定しやすい。ただし、ガラス転移温度付近から高温側での強度低下は著しい。本実施例では、ガラス転移温度 T_g および熔融温度 T_m を考慮したプロセス温度になっているため、強度低下の問題はない。さらに、熱可塑性材料の場合、成膜前に既に硬化反応が終了した高分子の溶液あるいは溶解液を使用するため、被塗布面の表面分子との化学結合反応はあまり期待できず、密着強度は必ずしも強くはない。しかし、本実施例では、被塗布物の表面性状に工夫を施したことにより、使用できるようになった。具体的には、密着面となる保護膜8に特定の密着促進性化合物を添加したり、表面の形状（凹凸）を適正に制御する。また、有機性の保護膜8を使用する場合には、保護膜8を膨潤させられる溶剤を用いて熱可塑性樹脂のワニスを調整する。このような工夫により、熱可塑性樹脂を塗布すると、（1）保護膜の中に溶剤が拡散して保護膜8を構成している有機高分子の間隔が増大し、保護膜8の表面が膨潤、（2）熱可塑性分子が保護膜8の分子の隙間へ入り込み、（3）加熱硬化過程で溶剤留去されると、膨潤していた保護膜が焼き締められる、という機構により、密着性が確保することができる。また、熱可塑性樹脂の中に、未反応部分を残存させたり、別の熱硬化性成分を添加したりして、保護膜8の表面との反応性を確保することができる。

【0103】図23(a)、(b)、(c)に示す材料C、D、およびEは、夫々熱硬化性材料であるため、溶融点 T_m を持たない。図23(a)に示す熱硬化性材料

Cは、ガラス転移温度 $T_g - c$ がプロセス中最高到達温度 T_{max} と同等以上を有する材料である。図23

(b)に示す材料Dと、図23(c)に示す熱硬化性材料Eは、夫々、プロセス中最高到達温度 T_{max} よりも低いガラス転移温度 $T_g - d$ 、 $T_g - e$ を有する材料である。なお、ここでいう同等とは $\pm 20^\circ\text{C}$ 程度である。

【0104】図23(a)～(c)に示す、材料C～Eは、熱硬化性材料であって、いずれもプロセス中での破断は起こらないが、 T_g が低く、かつ T_g 以上の線膨張係数(α_2)が大きい材料Eは、製造工程の途中での変形が大きくなってしまうため、プロセス中での位置合わせやハンドリングの観点からは実用的ではない。例えば、スパッタ中の温度上昇のために成膜初期と末期とで形状に差が生じ、従って、成膜の失敗が起こり易くなるため、本発明への適用は好ましくない。

【0105】このように応力緩和層5に使用する材料としては、使用条件に応じて熱可塑性樹脂であっても熱硬化性樹脂であっても使用することができる。しかしながら、図9などに示すふくらみ部34を形成すること考慮すると、硬化するまでのメカニズムの相違から、熱可塑性樹脂を使用することが好ましい。即ち、熱可塑性樹脂は、その成膜方法が、ワニスを塗布した後、ワニス内の溶媒を加熱するなどにより揮発させて硬化させると言った方法を採用しているため、硬化過程において印刷形成された形状、ふくらみ部34は維持される。従来、この溶剤型の熱可塑性樹脂を使用した場合、硬化過程においてその揮発分がボイドの要因になることから一般には使用されていなかった。しかしながら、本実施例では、本技術が適用される半導体装置が、上方が開放の状態で熱可塑性樹脂を塗布、硬化させるものであるため、多量の溶剤を含んでいる熱可塑性樹脂を使用したとしても上方から溶剤が揮発してボイドとしては存在せず、従来のような問題は発生しない。ちなみに、熱可塑性樹脂は、その成膜方法が、（1）溶解させた樹脂を塗布後、冷却する溶融型の2種類があるが、前述の理由から溶剤型の熱可塑性樹脂を使用することが好ましいことは言うまでもない。なお、後者の溶融型も、ワニスに既に高分子化しているため、溶解にはかなりの高温が必要であり、そのため熱膨張量の違いから大きな内部応力を溜めることからしても好ましくはない。

【0106】ふくらみ部34を形成することについては、前述の T_g や T_m の関係には依存しない。

【0107】ところで、熱可塑性樹脂を使用する場合、成膜前に既に硬化反応が終了した高分子の溶液あるいは溶解液を使用するため、被塗布面の表面分子との化学結合反応はあまり期待できず、被塗布面との密着強度は必ずしも強くない、そこで、本実施例において有機性の保護膜8を使用する場合には、保護膜8を膨潤させられる溶剤、例えば溶解度パラメータ(SP値)が $8 \sim 20$ (cal/cm^3)^{1/2}であるものが好ましい。より具体

的には、少なくとも脂環式アミド化合物若しくは5～8員クラトンを有する溶剤が好ましい。例えば、N-メチルピロリドンや gammabutyrolactone が好ましい。脂環式アミド化合物若しくは5～8員クラトンではないが、ジメチルホルムアミドやメチルアセトアミドやジメチルスルホキシでも良い。これらを用いて熱可塑性樹脂のワニスを調整する。このような熱可塑性樹脂を塗布すると、(1) 保護膜の中に溶剤が拡散して保護膜8を構成している有機高分子の間隔が増大することで保護膜8の表面が膨潤し、(2) 熱可塑性分子が保護膜8の分子の隙間に入り込み、(3) 加熱硬化過程で溶剤を留去されると、膨潤していた保護膜が焼き締められる、という機構により、密着性を確保することができる。

【0108】また、密着面となる保護膜8に特定の密着促進性化合物、例えば、シランカップリング剤などを添加したり、表面の形状に凹凸を形成しても良い。

【0109】また、熱可塑性樹脂の中に、未反応部分を残存させたり、別の熱硬化性成分を添加したりして、保護膜8の表面との反応性を確保することもできる。

【0110】ところで、応力緩和層用材料としての熱硬化性材料および熱硬化性材料において、硬化温度は、100℃から250℃までのものを用いる事が望ましい。硬化温度がこれより低い場合、半導体製造時の工程内での管理が難しく、硬化温度がこれより高くなると硬化冷却時の熱収縮でウエハ応力が増大したり、半導体素子の特性が変化する懸念があるからである。

【0111】更に、硬化後（応力緩和層形成工程後）の応力緩和層5は、上述したように、スパッタ、めっき、エッチングなどのさまざまな工程にさらされることから、耐熱性、耐薬品性、耐溶剤性などの特性も要求される。

【0112】具体的には、応力緩和層用材料としての熱可塑性材料および熱硬化性材料において、耐熱性として、そのガラス転位温度（ T_g ）が150℃超400℃以下であることが望ましく、より望ましくは T_g が180℃以上、最も好ましくは T_g が200℃以上である。

【0113】400℃を超えると、期待する程度の低弾性率のもの、すなわち実用的な材料がないので、400℃以下とした。また、150℃以上とした理由を図25、および図26に示す。

【0114】図25は、スパッタ時にそのスパッタ膜にクラックが入るか否かについて実験した結果であり、応力緩和層5の物性値（線膨張係数、ガラス転移温度）についてグラフにしている。グラフからも分かるように、ガラス転移温度が高いほどクラックが発生していない。また、そのスパッタ耐性は線膨張係数が高いほど低くなることが分かる。

【0115】これは、図26に示すように、スパッタ時においてスパッタ粒子が樹脂層（応力緩和層）5に当たり、その運動エネルギーが熱に変わり、樹脂は熱膨張す

る。その後、熱膨張した樹脂上にスパッタ膜は成長するが、スパッタ終了後、樹脂は収縮する。従って、スパッタ膜に熱膨張しやすい樹脂ほど、収縮する割合が大きく、熱膨張した樹脂上に形成されるスパッタ膜は、鉸やクラックを発生する。樹脂は、ガラス転移温度が低く、線膨張係数が大きい程、変形しやすい。

【0116】従って、図25から分かるように、スパッタ時の配線形成不良を抑制する上では、150℃以上のものから良品のものが得られるので好ましく、また、180℃以上であれば殆どのが良品となり、200℃以上であれば殆どすべてのものが良品となるのでさらに好ましいこととなる。

【0117】逆に、プロセス中での変形という観点からいうと、熱可塑性材料は勿論のこと、熱硬化性材料であっても、本発明への適用に制限がある。具体的に述べると、図24において、材料R、Sで示される如く、室温（常温：20℃程度とする。）からプロセス中の最高温度 T_{max} までの伸びの累積値（膨張量） $\Sigma(\alpha(T) \times \Delta T)$ が10%程度以下であることが望ましい。それは、応力緩和層5の表面に、少なくとも500 μm 程度の長さのCuやNiなどでできている配線4が形成されているため、応力緩和層の10%程度の変形（伸び）にその配線4が追従できなくなり、界面の剥離や樹脂のクラックが発生することによる。熱可塑性材料で、かつこのような関係式を満たす材料は、特定の線膨張係数と T_g および動的粘弾特性を有する。具体的に例示すると、線膨張係数200ppm/℃以下であることが望ましく、上述した如く、 T_g が150℃以上であることが望ましい。

【0118】なお、図24に示す材料P、Qは、室温からプロセス中の最高温度 T_{max} までの伸びの累積値（膨張量） $\Sigma(\alpha(T) \times \Delta T)$ が10%以上となるため、好ましい材料ではない。

【0119】逆に、応力緩和層材料の物性値を考慮して、例えば表面保護膜6の材料の硬化時間を長くする代わりに、硬化温度を下げるという工夫をすることも構わない。

【0120】即ち、応力緩和層用材料としての熱可塑性材料および熱硬化性材料において、工程中での様々な温度処理における変形量を抑える観点から、 T_g 以下の領域での線膨張係数（ α_1 ）は小さいほど好ましい。具体的には3ppmに近いほどよい。一般に低弾性材料は、線膨張係数が大きい場合が多いが、本実施例で好適な応力緩和層5材料の線膨張係数の範囲は3ppm～300ppmの範囲であることが望ましい。より好ましくは3ppm～200ppmの範囲であり、最も望ましい線膨張係数は3ppm～150ppmの範囲である。

【0121】一方、応力緩和層用材料としての熱可塑性材料および熱硬化性材料において、熱分解温度（ T_d ）は約350℃以上であることが望ましい。ガラス転移温

(16)

29

度 T_g や熱分解温度 T_d がこれらの値を下回っていると、プロセス中での熱工程、例えばスパッタやスパッタエッチ工程で樹脂の変形、変質や分解が起こる危険性がある。耐薬品性の観点から言うと、30%硫酸水溶液や10%水酸化ナトリウム水溶液への24時間以上の浸漬で変色、変形などの樹脂変質が起こらない事が望ましい。耐溶剤性としては、溶解度パラメーター（SP値）が8~20（cal/cm³）^{1/2}となることが望ましい。応力緩和層5用がベースレジンに幾つかの成分を変成してなる材料である場合には、その組成の大部分が上記溶解度パラメータの範囲にはいつていることが望ましい。より具体的にいうと、溶解度パラメータ（SP値）が8未満あるいは20超である成分が50重量%を越えて含有されていないことが望ましい。

【0122】これらの耐薬品性や耐溶剤性が不十分だと適用可能な製造プロセスが限定される場合があり、製造原価低減の観点から好ましくないこともある。現実的には、これらの特性を満足する材料コストとプロセス自由度とを総合的に勘案した上で、応力緩和層5用の材料を決定すると良い。。

【0123】以上説明した応力緩和層用材料としての熱可塑性材料および熱硬化性材料の具体的組成としては、ペースト状のポリイミドであるが、これに限らず変成アミドイミド樹脂、エステルイミド樹脂、エーテルイミド樹脂、ポリエステル樹脂、変成シリコン樹脂、変成アクリル樹脂などでもかまわない。

【0124】上記列挙した樹脂のうち、イミド結合を有する樹脂、例えばポリイミド、アミドイミド、エステルイミド、エーテルイミド等では、イミド結合による強固な骨格のおかげで熱機械的特性、例えば高温での強度などに優れ、その結果として、配線のためのめっき給電膜形成方法の選択肢が広がる。例えば、スパッタなどの高温処理を伴うめっき給電膜形成方法を選択できる。シリコン樹脂やアクリル樹脂、ポリエステル樹脂、アミドイミド、エステルイミド、エーテルイミドなどイミド結合以外の結合で縮合した部分がある樹脂の場合、熱機械特性は若干劣るものの加工性や樹脂価格などの点で有利な場合がある。例えば、ポリエステルイミド樹脂では、一般にポリイミドよりも硬化温度が低いため、扱いやすい。本実施例では、これらの樹脂の中から素子特性、価格、熱機械特性などを総合的に勘案してこれらの樹脂を適宜使い分ける。

【0125】更に、応力緩和層形成用の材料としては、例えばエポキシ、フェノール、ポリイミド、シリコン等の樹脂を単独あるいは2種類以上配合し、これに各種界面との接着性を改善するためのカップリング剤や着色剤等を配合して用いることが可能である。

【0126】以上説明したように、本発明では、配線4やバンプ1を形成する前に樹脂層形成工程を行うので、ボイドが発生することなく、温度サイクル試験での成績

30

向上が図られ、しかもパッケージサイズに関わらず、樹脂形成時間は一定である。このようにパッケージサイズによらず、樹脂形成時間が一定であることで、生産ラインの効率的運用も可能となる。こうした点から、本発明は、大きなパッケージ（半導体装置）13のサイズ、具体的には10mm角を越えるチップサイズパッケージの実装にたいしても問題なく適用することができる。

【0127】次に、半導体装置13の他の実施例について説明する。図27は半導体装置13の突起電極1の配列を変更するための基板115に搭載した状態を示す断面概略図、図28はさらに半導体装置13とこれを搭載する基板115の隙間を樹脂118で封止した状態を示す断面概略図である。

【0128】半導体装置13に形成した突起状電極1を基板115上の対応する電極120上にはんだペーストあるいはフラックス等を介して搭載し、リフロー炉等により前記突起状電極1を溶融させて基板115と半導体装置13の接続を行う。半導体装置13を搭載する基板115は、半導体素子搭載面の裏面に、各種電子機器に用いられる基板に搭載するための電極116および必要に応じて突起状電極121を有する。

【0129】半導体装置13を各種電子機器に用いられる基板に搭載する際、基板115上に設けた突起状電極121を加熱溶融させる必要がある。これらの実装工程および各種試験における信頼性、特に落下衝撃試験に対する信頼性成績をさらに向上させるため、半導体装置13と基板115の間を樹脂118で補強したものである。

【0130】半導体装置13と基板115間を充填する樹脂118は、一般の半導体封止用に使用される液状のエポキシ樹脂、フェノール樹脂、ポリイミド樹脂、シリコン樹脂等が使用可能であり、封止樹脂の熱膨張係数や弾性率を調整するためシリカ、アルミナ、窒化ホウ素等の無機材料からなる粒子を一種類あるいは二種類以上配合し、また必要に応じてシリコンや熱可塑性樹脂等樹脂、アルコキシシランやチタネート等からなるカップリング剤、着色剤、難燃性を付与させるための難燃剤や難燃助剤樹脂層の硬化反応を促進させるための硬化促進剤等を配合することが可能である。

【0131】本実施例では、半導体装置13上の突起状電極1のピッチと各種電子機器に用いられている基板の電極のピッチが異なる場合であっても、所定の基板115を介することにより各種電子機器に接続する事が可能となる。

【0132】なお、半導体装置13となる基板への実装と同様に、一般電子機器に用いられる回路基板に実装する場合も同様とする。

【0133】

【発明の効果】本発明によれば、配線層の切断を防止して不良発生数を低減したアンダーフィルの不要なフリッ

(17)

31

ブチップ接続を可能とする半導体装置を実現することができる効果を奏する。

【図面の簡単な説明】

【図1】本発明に係る半導体装置の一実施例の構造を示す部分断面図である。

【図2】本実施例に係る半導体装置が連続的に形成されている状態を示す平面図である。

【図3】本発明に係る半導体装置の製造工程の一実施例である第一～第三工程を示した図である。

【図4】本発明に係る半導体装置の製造工程の一実施例である第四～第六工程を示した図である。

【図5】本発明に係る半導体装置の製造工程の一実施例である第七～第九工程を示した図である。

【図6】本発明に係る応力緩和層の形成に使用する印刷マスクを示した図である。

【図7】応力緩和層を印刷している工程を示す図である。

【図8】印刷マスクがウエハより上昇する版離れ工程を示す図である。

【図9】応力緩和層が形成された半導体装置を示した断面図である。

【図10】露光用マスクをレジストに密着させた状態を示した図である。

【図11】再配線用配線の一実施例を示したチップ全体図およびチップ拡大図である。

【図12】再配線用配線の一実施例を示した平面図である。

【図13】実際の再配線用配線の現像不足を示す図である。

【図14】図12とは異なる再配線用配線の他の実施例を示した図である。

【図15】図12および図14と異なる再配線用配線の他の実施例を示した図である。

【図16】各種の再配線用配線を施した実施例を示した図である。

【図17】ウエハ上に形成される保護膜としての有機膜を局部的に形成した第1の実施例を示す断面図および平面図である。

【図18】ウエハ上に形成される保護膜としての有機膜を局部的に形成した第2の実施例を示す断面図および平面図である。

32

【図19】ウエハ上に形成される保護膜としての有機膜を局部的に形成した第3の実施例を示す平面図である。

【図20】本発明における第七工程までを経た半導体装置の一実施例を示した断面図である。

【図21】本発明に係る半導体装置を基板に搭載した一実施例を示す図である。

【図22】本発明に係る応力緩和層の材料として、熱可塑性樹脂A、Bを用いる場合の特性を説明するための図である。

【図23】本発明に係る応力緩和層の材料として、熱硬化性樹脂C、D、Eを用いる場合の特性を説明するための図である。

【図24】本発明に係る応力緩和層の樹脂材料P～Sの各々における室温（常温：20℃程度）からプロセス中の最高温度Tmaxまでの伸びの累積値（膨張量）を説明するための図である。

【図25】応力緩和層候補材料の物性値とスパッタ耐性を示す図である。

【図26】スパッタによる鍍・亀裂機構を説明する図である。

【図27】本発明に係る半導体装置を基板に搭載した他の一実施例を示す断面図である。

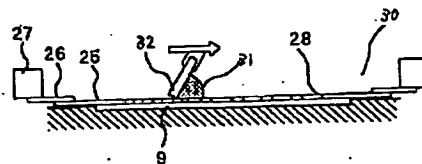
【図28】本発明に係る半導体装置を基板に搭載した他の一実施例を示す断面図である。

【符号の説明】

1、1a、1b…バンプ、1aa…縦長バンプ、2…Auめっき、3…バンプパッド（端子電極）、4…再配線用配線（配線）、4a…信号線、4b…グランド線／電源線、5…応力緩和層、6…表面保護膜、7…アルミパッド（回路電極）、8…保護膜、9…半導体素子（半導体チップ）が形成されたウエハ、10…半導体チップ、13…半導体装置、14…回路基板、16…給電膜、17…配線の逆パターン、18…アルミパッドと配線の接続部分、19…下層部分との境界、20…隙間、21…露光マスク、22…レジスト、23…アルミパッドとの接続部、24…切断部、25…ニッケル合金製ステンシル、26…樹脂シート、27…枠、28…印刷マスクのパターン開口部、34…ふくらみ部分、35…傾斜部（エッジ部）、36…平坦部、40…有機膜、41…無機膜、115…基板、116…電極、118…樹脂、120…電極、121…電極。

【図7】

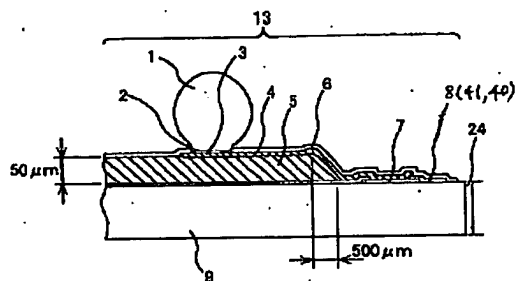
図 7



(18)

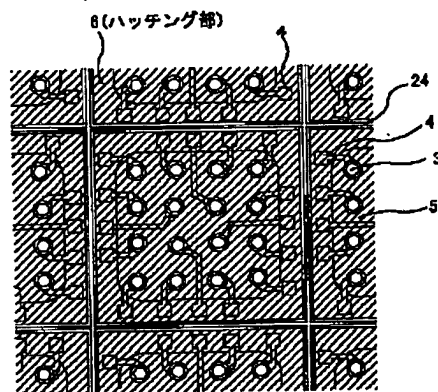
【図1】

図 1



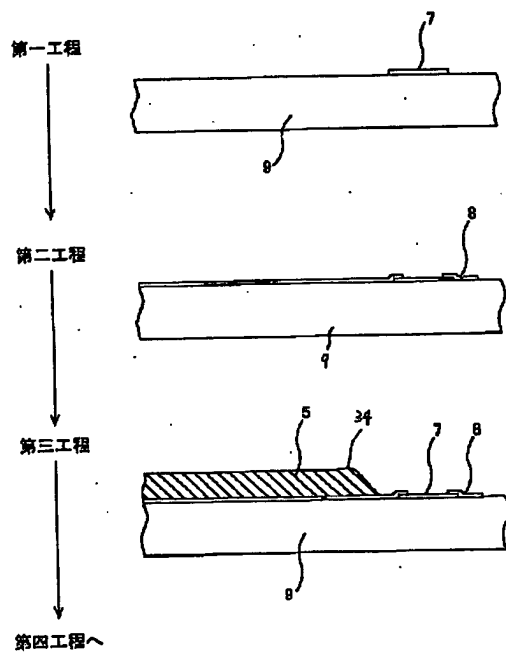
【図2】

図 2



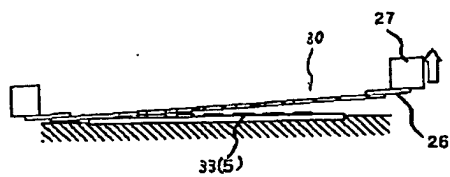
【図3】

図 3



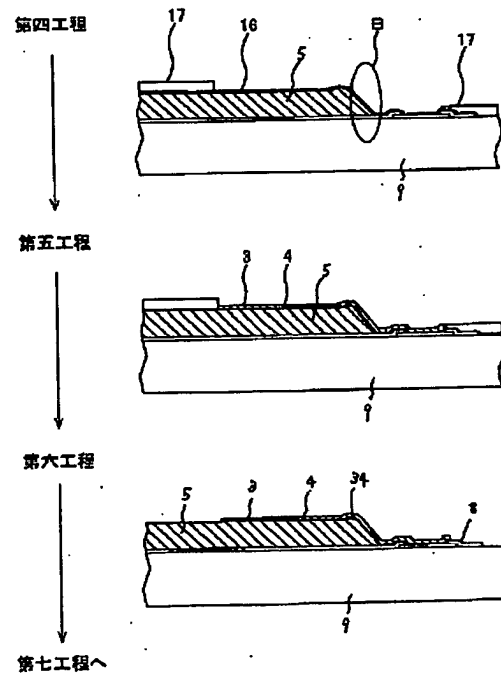
【図8】

図 8



【図4】

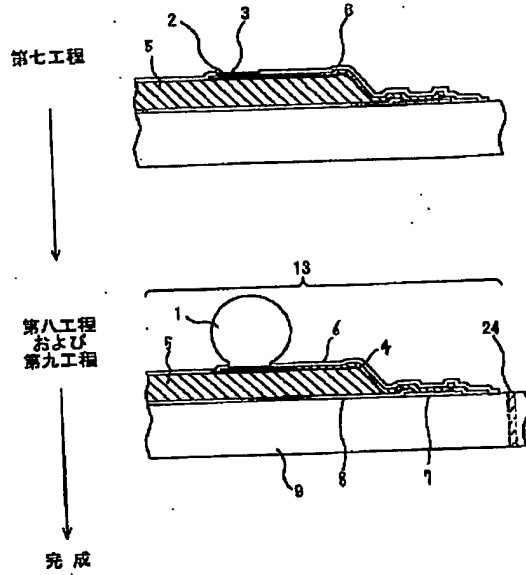
図 4



(19)

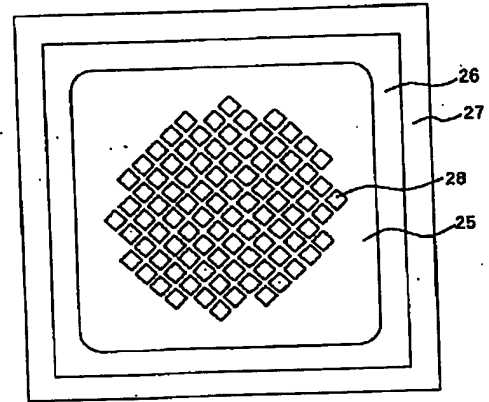
【図5】

図 5



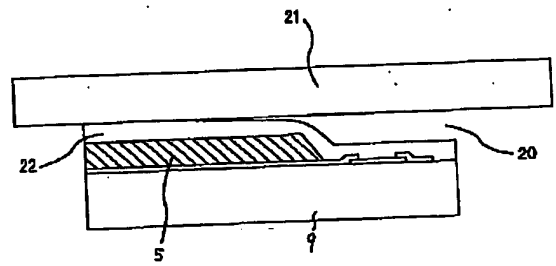
【図6】

図 6



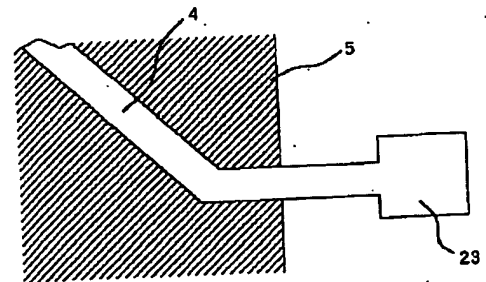
【図10】

図 10



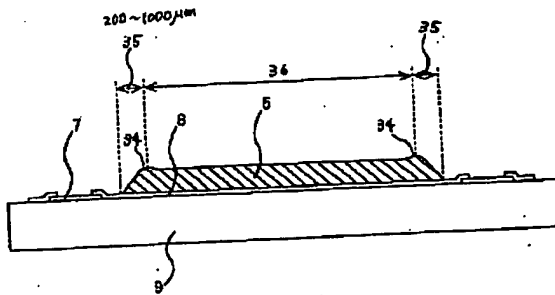
【図12】

図 12



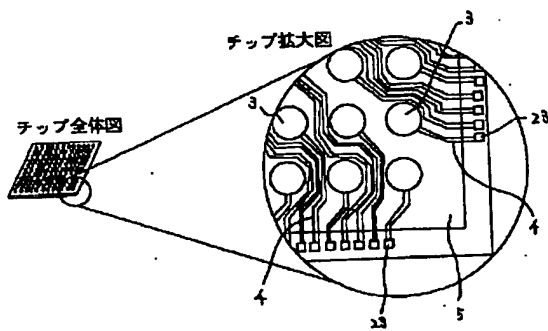
【図9】

図 9



【図11】

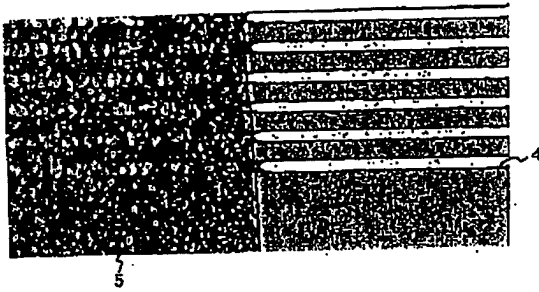
図 11



(20)

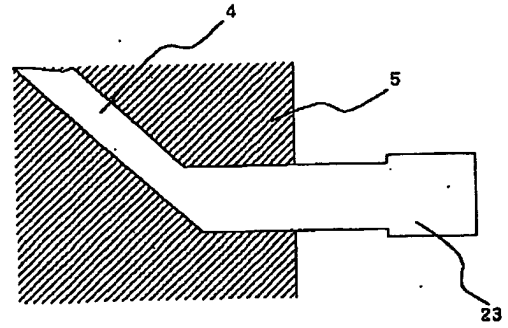
【図13】

図 13



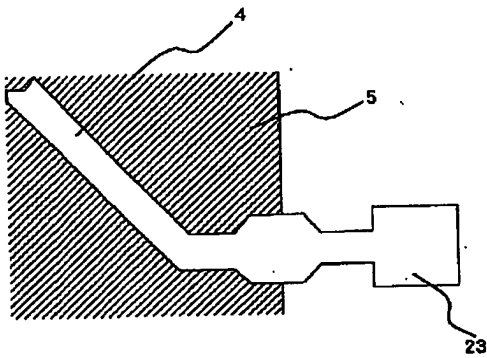
【図14】

図 14



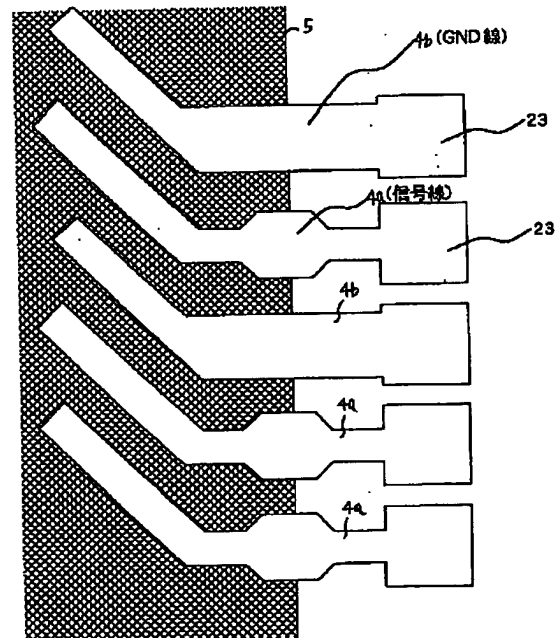
【図15】

図 15



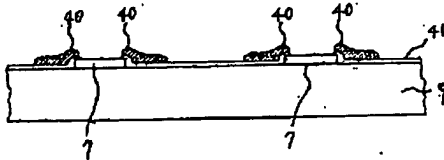
【図16】

図 16

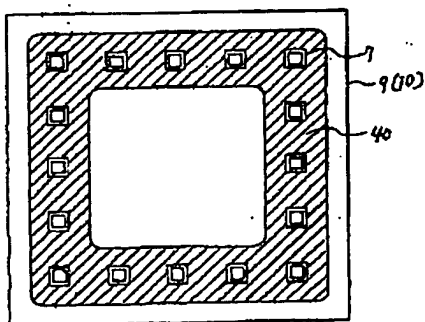


【図17】

図 17
(a)

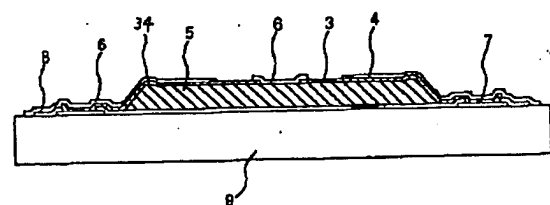


(b)



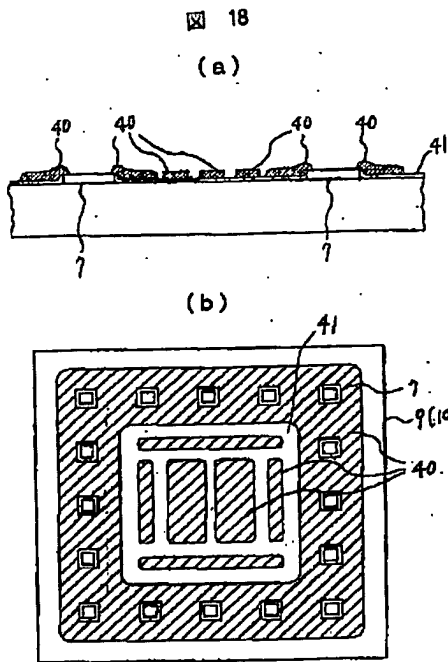
【図20】

図 20



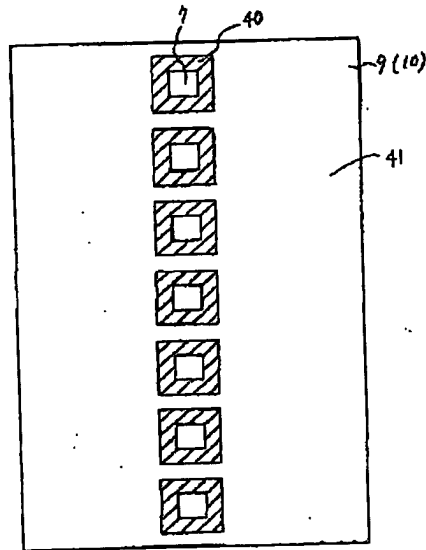
(21)

【図 18】



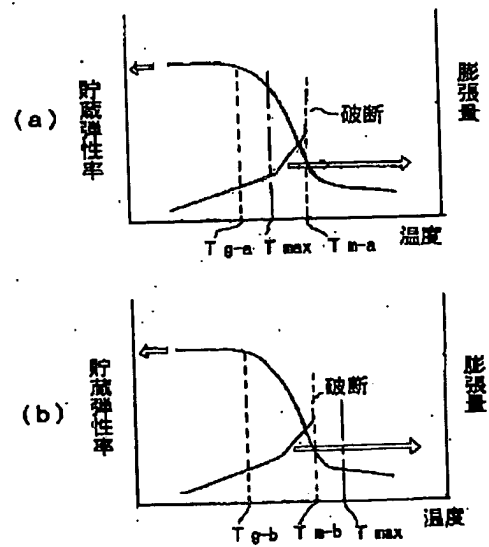
【図 19】

図 19



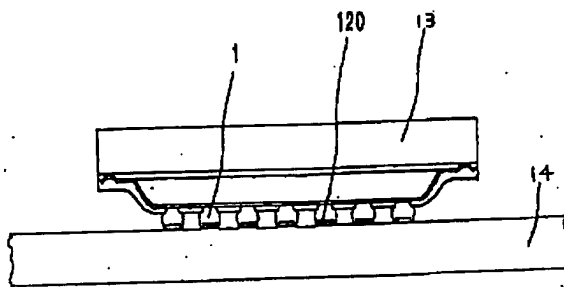
【図 22】

図 22



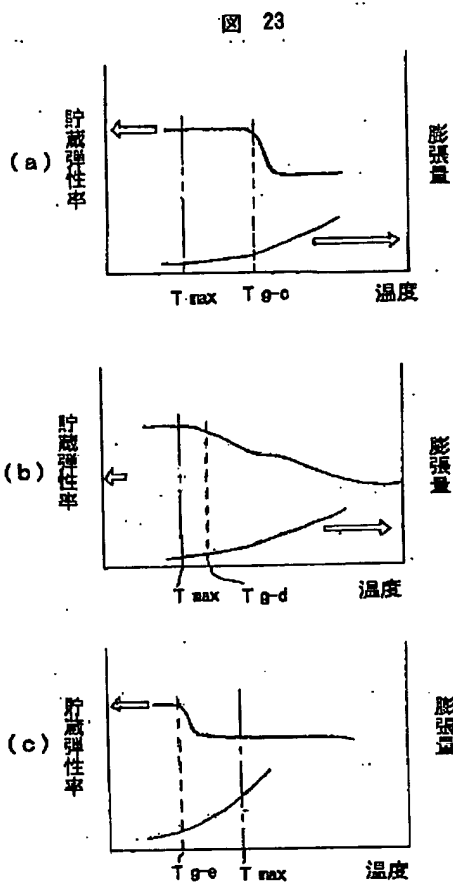
【図 21】

図 21

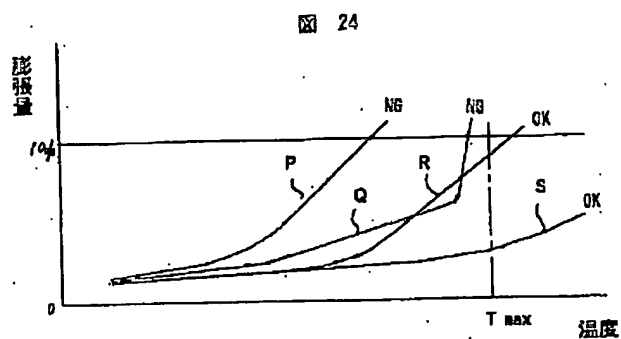


(22)

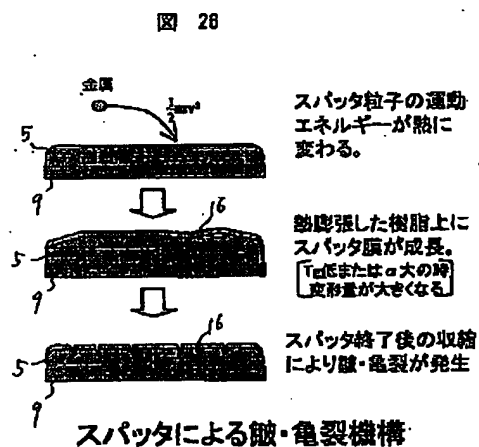
【図23】



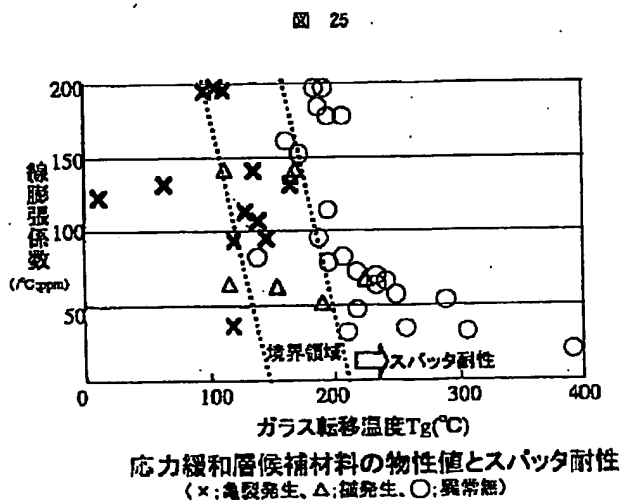
【図24】



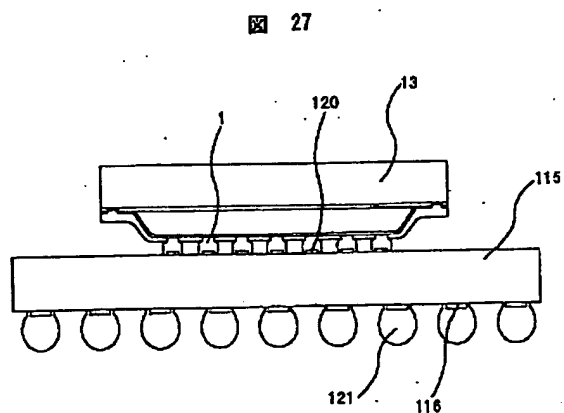
【図26】



【図25】



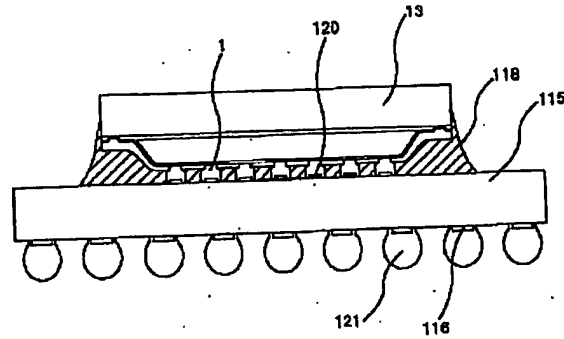
【図27】



(23)

【図28】

図 28



フロントページの続き

(51) Int. Cl. 7

識別記号

F I

テーマコード* (参考)

H O 1 L 21/92
23/306 0 3 G
D

(72) 発明者 井上 康介
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72) 発明者 大録 範行
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72) 発明者 宝蔵寺 裕之
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72) 発明者 角田 重晴
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72) 発明者 諫田 尚哉
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72) 発明者 皆川 円
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72) 発明者 安生 一郎
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72) 発明者 西村 朝雄
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72) 発明者 氏家 健二
東京都小平市上水本町五丁目20番1号 株
式会社日立製作所半導体グループ内

(72) 発明者 矢島 明
東京都千代田区神田駿河台四丁目6番地
株式会社日立製作所内

F ターム(参考) 4M109 AA02 BA07 CA12 EA12 EC04
5F061 AA02 BA07 CA12 CB02 CB04
CB13

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-093947

(43)Date of publication of application : 29.03.2002

(51)Int.Cl.

H01L 23/12

H01L 21/56

H01L 21/60

H01L 23/29

H01L 23/31

(21)Application number : 2000-284374

(22)Date of filing : 19.09.2000

(71)Applicant : HITACHI LTD

(72)Inventor : YAMAGUCHI YOSHIHIDE

TENMYO HIROYUKI

INOUE KOSUKE

DAIROKU NORIYUKI

HOZOJI HIROYUKI

TSUNODA SHIGEHARU

ISADA NAOYA

MINAGAWA MADOKA

ANJO ICHIRO

NISHIMURA ASAO

UJIE KENJI

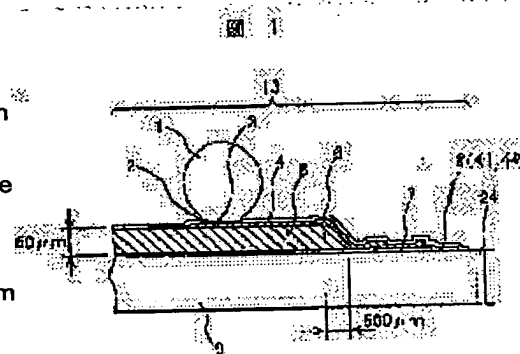
YAJIMA AKIRA

(54) SEMICONDUCTOR DEVICE, ITS MANUFACTURING METHOD AND MOUNTING STRUCTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To realize a semiconductor device, enabling the flip-chip connection not needing the underfill.

SOLUTION: The semiconductor device comprises a semiconductor element having a plurality of circuit electrodes and a circuit surface covered with a protective film, a stress relaxing layer which is formed on the protective film of the semiconductor element circuit surface with the circuit electrodes exposed and made of a cured thermoplastic resin with slopes at the edges, a wiring layer of a plurality of wirings which are connected respectively to the circuit electrodes and electrically conductively laid from the circuit electrodes to desired spots on the stress relaxing layer via the edges of this layer, a surface protective film thereon and outer connection terminals.



LEGAL STATUS

[Date of request for examination]

18.07.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. **** shows the word which can not be translated.

3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The semiconductor device which has the circuit side with which two or more circuit electrodes were arranged and the protective coat was covered, The stress relaxation layer which consisted of thermoplastics which was made to expose said circuit electrode, was formed on the protective coat of the circuit side of this semiconductor device, and was hardened, and formed the inclination in the edge section, The wiring layer which consists of two or more wiring which is connected to each of said circuit electrode and arranged from this circuit electrode by being connected electrically to the part of a request of the front face of a stress relaxation layer through the edge section of said stress relaxation layer, The semiconductor device characterized by having had the surface protective coat which was made to expose each predetermined part of two or more wiring which can be set on the front face of said stress relaxation layer, and covered the front face of said wiring layer, and the external connection terminal which joined and formed the bump in each predetermined part of said exposed wiring of two or more, and being constituted.

[Claim 2] The semiconductor device according to claim 1 characterized by swelling to the periphery connected with the inclination edge section of said stress relaxation layer, forming a part, bending in said wiring on it and forming a part.

[Claim 3] The semiconductor device according to claim 1 or 2 characterized by constituting the melting temperature T_m of the thermoplastics which said stress relaxation layer hardened above the highest attainment temperature T_{max} at the time of forming said wiring layer and a surface protective coat.

[Claim 4] The semiconductor device according to claim 1 or 2 with which melting temperature T_m of the thermoplastics which said stress relaxation layer hardened is characterized by being constituted above 350 degrees C.

[Claim 5] The semiconductor device according to claim 1 or 2 with which glass transition temperature T_g of the thermoplastics which said stress relaxation layer hardened is characterized by being constituted in 150 degrees C – 400 degrees C.

[Claim 6] The semiconductor device according to claim 1 or 2 with which coefficient of linear expansion of the thermoplastics which said stress relaxation layer hardened is characterized by consisting of degrees C in 200 ppm /or less.

[Claim 7] The semiconductor device according to claim 1 or 2 characterized by the thickness of said stress relaxation layer being about 35 micrometers – about 150 micrometers.

[Claim 8] The semiconductor device according to claim 1 or 2 characterized by consisting of polyimide, a polyamide, polyamidoimide, epoxy, a phenol, or silicone at least as thermoplastics which said stress relaxation layer hardened.

[Claim 9] The semiconductor device according to claim 1 or 2 characterized by consisting of inorganic film and organic film locally formed on it as a protective coat formed in said semiconductor device.

[Claim 10] It is the semiconductor device according to claim 1 or 2 characterized by forming the edge section of said stress relaxation layer for wiring width of face about signal wiring at least more thickly than the flat part of a stress relaxation layer in said wiring layer.

[Claim 11] Said wiring layer is a semiconductor device according to claim 1 or 2 characterized by

consisting of an electric supply membrane layer stuck to the front face of said stress relaxation layer, and a plating membrane layer.

[Claim 12] The semiconductor device which has the circuit side with which two or more circuit electrodes were arranged and the protective coat was covered, The stress relaxation layer which was made to expose said circuit electrode, was formed on the protective coat of the circuit side of this semiconductor device, and glass transition temperature T_g consisted of hardened resin which is the range of 150 degrees C – 400 degrees C, and formed the inclination in the edge section, The wiring layer which consists of two or more wiring which is connected to each of said circuit electrode and arranged from this circuit electrode by being connected electrically to the part of a request of the front face of a stress relaxation layer through the edge section of said stress relaxation layer, The semiconductor device characterized by having had the surface protective coat which was made to expose each predetermined part of two or more wiring which can be set on the front face of said stress relaxation layer, and covered the front face of said wiring layer, and the external connection terminal which joined and formed the bump in each predetermined part of said exposed wiring of two or more, and being constituted.

[Claim 13] The semiconductor device according to claim 12 characterized by the thickness of said stress relaxation layer being about 35 micrometers – about 150 micrometers.

[Claim 14] The semiconductor device mounting structure characterized by mounting in this circuit board and constituting by joining an external connection terminal [in / for any of claims 1–13, or the semiconductor device indicated by one / this semiconductor device] to the electrode formed in the circuit board.

[Claim 15] The wafer production process which manufactures the wafer with which two or more semiconductor devices which have the circuit side where two or more circuit electrodes were arranged were arranged, So that said circuit electrode may be exposed on the protective coat in the wafer condition formed with the protective coat formation process which forms a protective coat on the circuit side of each semiconductor device in the wafer condition manufactured in this wafer production process, and this protective coat formation process The stress relaxation layer formation process which prints the stress relaxation layer which has an inclination for a thermoplastics paste in the edge section using mask printing, is made to harden the this printed stress relaxation layer, and is formed on said protective coat, The wiring layer formation process which forms the wiring layer which consists of two or more wiring arranged by being connected electrically to the part of a request of the front face of a stress relaxation layer through the edge section of the stress relaxation layer which was connected to each of the circuit electrode in said wafer condition, and was formed with said stress relaxation layer formation process from this circuit electrode, The surface protective coat formation process which is made to expose each predetermined part of two or more wiring which can set the front face of the wiring layer in the wafer condition formed with this wiring layer formation process on the front face of said stress relaxation layer, and is covered with a surface protective coat, The manufacture approach of the semiconductor device characterized by having the external connection terminal formation process which joins and forms a bump in each predetermined part of two or more wiring exposed in said wafer condition, and the cutting process which cuts from a wafer condition in a desired unit, and obtains a semiconductor device.

[Claim 16] Said wiring layer formation process is the manufacture approach of the semiconductor device according to claim 15 characterized by having a spatter membrane formation process and a plating membrane formation process.

[Translation done.]

*** NOTICES ***

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the semiconductor device which makes flip chip bonding possible, and its manufacture approach list at the semiconductor device mounting structure.

[0002]

[Description of the Prior Art] As a conventional technique of the semiconductor device which makes flip chip bonding possible, the semiconductor device using under-filling is known as indicated by JP,11-111768,A (conventional technique 1). However, under-filling is carried out in order to prevent destruction of the connection resulting from distortion produced in the connection by generation of heat at the time of using the completed electric product etc., and in not carrying out, the technical problem that the connection life of a semiconductor device will become extremely short arises.

[0003] Then, as a conventional technique of the semiconductor device which makes flip chip bonding possible, it is known for JP,11-54649,A (conventional technique 2) and JP,11-354560,A (conventional technique 3) without using under-filling. The semiconductor substrate with which the semiconductor device is arranged by this conventional technique 2, and the component electrode which is arranged on the principal plane of this semiconductor substrate, and is electrically connected to the above-mentioned semiconductor device, The elastic body layer which is formed on the principal plane of the above-mentioned semiconductor substrate, and consists of an insulating spring material, Opening which removed the above-mentioned elastic body layer partially, and was formed so that the above-mentioned component electrode on the above-mentioned semiconductor substrate might be exposed at least, The metal wiring layer which continued on the above-mentioned elastic body layer, extended continuously, and was formed from on the above-mentioned component electrode, It is prepared on the above-mentioned elastic body layer as this a part of metal wiring layer, and the semiconductor device equipped with the wrap surface protective coat is indicated to be an external electrode for performing electrical installation with an external instrument in the above-mentioned metal wiring layer. Furthermore, it is also indicated that a semiconductor substrate is in the chip condition started from the wafer. Furthermore, it is indicated that it is desirable that it is 10-150 micrometers as for the thickness of the above-mentioned elastic body layer (low elastic-modulus layer), it is more desirable that there is 10-1000kg/mm in the range of 2 as for the elastic modulus (Young's modulus), and it is more desirable that it is in the range of 10-100 ppm/degree C as for the coefficient of linear expansion. Furthermore, as an ingredient of this elastic body layer, as insulating material film which has photosensitivity, polymers, such as for example, ester bond mold polyimide and acrylate system epoxy, are sufficient, it has a low elastic modulus and it is indicated that what is necessary is just insulation. Moreover, when using the insulating material which does not have photosensitivity, it is also indicated that the component electrode on a semiconductor substrate can be exposed by mechanical processing by laser or the plasma or chemical processing of etching etc.

[0004] Moreover, it is indicated that it is the same as that also of the conventional technique 3.

[0005]

[Problem(s) to be Solved by the Invention] However, it is not enough taken into consideration about the

point that it is going to prevent cutting of the wiring layer formed in the front face of an elastic body layer (stress relaxation layer) on the above-mentioned conventional techniques 2 and 3.

[0006] The purpose of this invention is to provide with the semiconductor device mounting structure the semiconductor device which makes possible unnecessary flip chip bonding of under-filling which prevented cutting of a wiring layer and reduced defect occurrences that the above-mentioned technical problem should be solved, and its manufacture approach list.

[0007]

[Means for Solving the Problem] In order to attain the above-mentioned purpose, this invention is constituted as a claim.

[0008] Namely, the semiconductor device in which this invention has the circuit side with which two or more circuit electrodes were arranged and the protective coat was covered, The stress relaxation layer which consisted of thermoplastics which was made to expose said circuit electrode, was formed on the protective coat of the circuit side of this semiconductor device, and was hardened, and formed the inclination in the edge section, The wiring layer which consists of two or more wiring which is connected to each of said circuit electrode and arranged from this circuit electrode by being connected electrically to the part of a request of the front face of a stress relaxation layer through the edge section of said stress relaxation layer, It is the semiconductor device characterized by having had the surface protective coat which was made to expose each predetermined part of two or more wiring which can be set on the front face of said stress relaxation layer, and covered the front face of said wiring layer, and the external connection terminal which joined and formed the bump in each predetermined part of said exposed wiring of two or more, and being constituted.

[0009] Moreover, this invention is characterized by swelling to the periphery connected with the inclination edge section of a stress relaxation layer, forming a part, bending in said wiring on it and forming a part in said semiconductor device. Thereby, cutting of wiring can be prevented.

[0010] Moreover, this invention is characterized by constituting the melting temperature T_m of the thermoplastics which the stress relaxation layer hardened above the highest attainment temperature T_{max} at the time of forming said wiring layer and a surface protective coat in said semiconductor device.

[0011] Moreover, it is characterized by constituting the melting temperature T_m of the thermoplastics with which the stress relaxation layer hardened this invention in said semiconductor device above 350 degrees C.

[0012] Moreover, it is characterized by constituting the glass transition temperature T_g of the thermoplastics with which the stress relaxation layer hardened this invention in said semiconductor device in 150 degrees C – 400 degrees C.

[0013] Moreover, it is characterized by the coefficient of linear expansion of the thermoplastics with which the stress relaxation layer hardened this invention in said semiconductor device consisting of degrees C in 200 ppm /or less.

[0014] Moreover, this invention is characterized by the thickness of a stress relaxation layer being about 35 micrometers – about 150 micrometers in said semiconductor device.

[0015] Moreover, this invention is characterized by consisting of polyimide, a polyamide, polyamidoimide, epoxy, a phenol, or silicone at least in said semiconductor device as thermoplastics which the stress relaxation layer hardened.

[0016] Moreover, this invention is characterized by consisting of inorganic film and organic film locally formed on it as a protective coat formed in the semiconductor device in said semiconductor device.

[0017] Moreover, this invention is characterized by forming the edge section of said stress relaxation layer for wiring width of face more thickly than the flat part of a stress relaxation layer about signal wiring at least in the wiring layer of said semiconductor device.

[0018] Moreover, this invention is characterized by a wiring layer consisting of an electric supply membrane layer stuck to the front face of said stress relaxation layer, and a plating membrane layer in said semiconductor device.

[0019] Moreover, the semiconductor device in which this invention has the circuit side with which two or more circuit electrodes were arranged and the protective coat was covered, The stress relaxation layer which was made to expose said circuit electrode, was formed on the protective coat of the circuit side of this semiconductor device, and glass transition temperature T_g consisted of hardened resin which is the range of 150 degrees C – 400 degrees C, and formed the inclination in the edge section, The wiring layer which consists of two or more wiring which is connected to each of said circuit electrode and arranged from this circuit electrode by being connected electrically to the part of a request of the front face of a stress relaxation layer through the edge section of said stress relaxation layer, It is the semiconductor device characterized by having had the surface protective coat which was made to expose each predetermined part of two or more wiring which can be set on the front face of said stress relaxation layer, and covered the front face of said wiring layer, and the external connection terminal which joined and formed the bump in each predetermined part of said exposed wiring of two or more, and being constituted.

[0020] Moreover, this invention is the semiconductor device mounting structure characterized by mounting in this circuit board and constituting by joining an external connection terminal [in / for said semiconductor device / this semiconductor device] to the electrode formed in the circuit board.

[0021] Moreover, the wafer production process which manufactures the wafer with which two or more semiconductor devices in which this invention has the circuit side where two or more circuit electrodes were arranged were arranged, So that said circuit electrode may be exposed on the protective coat in the wafer condition formed with the protective coat formation process which forms a protective coat on the circuit side of each semiconductor device in the wafer condition manufactured in this wafer production process, and this protective coat formation process The stress relaxation layer formation process which prints the stress relaxation layer which has an inclination for a thermoplastics paste in the edge section using mask printing, is made to harden the this printed stress relaxation layer, and is formed on said protective coat, The wiring layer formation process which forms the wiring layer which consists of two or more wiring arranged by being connected electrically to the part of a request of the front face of a stress relaxation layer through the edge section of the stress relaxation layer which was connected to each of the circuit electrode in said wafer condition, and was formed with said stress relaxation layer formation process from this circuit electrode, The surface protective coat formation process which is made to expose each predetermined part of two or more wiring which can set the front face of the wiring layer in the wafer condition formed with this wiring layer formation process on the front face of said stress relaxation layer, and is covered with a surface protective coat, It is the manufacture approach of the semiconductor device characterized by having the external connection terminal formation process which joins and forms a bump in each predetermined part of two or more wiring exposed in said wafer condition, and the cutting process which cuts from a wafer condition in a desired unit, and obtains a semiconductor device.

[0022] Moreover, this invention is characterized by a wiring layer formation process having a spatter membrane formation process and a plating membrane formation process in the manufacture approach of said semiconductor device.

[0023] Moreover, this invention is characterized by containing an insulating particle in a thermoplastics paste in the stress relaxation layer formation process of the manufacture approach of said semiconductor device.

[0024] It becomes that it is possible to prevent that bend in wiring which a solvent will evaporate, and becomes possible [the thing which was made to be generated by mask printing, and which swell and maintains the configuration of a part (reservation)], consequently is formed on it, form a part, and wiring is cut when heat hardening is carried out by using a thermoplastics ingredient as an ingredient of a stress-relaxation layer according to said configuration, as explained above.

[0025]

[Embodiment of the Invention] The gestalt of operation concerning this invention is explained using a

drawing. In addition, in all drawings, in order that the same sign may have omitted the explanation which overlaps since the same part is shown and may give explanation easy, it has changed the proportion of each part with the actual condition.

[0026] First, the structure of the semiconductor device concerning this invention is explained. Below, although it is collectively manufactured by many per wafer, in order to give explanation easy, a semiconductor device takes out the part and is explained. The fragmentary sectional view of the semiconductor device 13 applied to this invention at drawing 1 is shown.

[0027] The wafer 9 with which the semiconductor circuit was formed is a wafer which ended the last process as used in the field of a semi-conductor production process, and is a thing before division cutting at many semiconductor devices 13. The aluminum pad (circuit electrode) 7 is formed in each semiconductor device 13. In the semiconductor device 13 of a conventional type, when storing in semiconductor packages, such as QFP (Quad FlatPackage), this aluminum pad 7 connects a golden wire etc., and it is used in order to realize a flow with the external terminal of a semiconductor package. The front face (circuit side) of a semiconductor device 13 in which the semiconductor circuit was formed is covered by the protective coat 8 except for the cutting section 24 at the time of cutting the wafer 9 with which the aluminum pad (circuit electrode) 7 top and many semi-conductors were formed to the chip-like semiconductor device 13, and its circumference. This protective coat 8 is using the bipolar membrane which carried out the laminating of the organic compound insulator which consists of an organic material for the upper part of the insulating resin independence which consists of an inorganic material with a thickness of about 1-10 micrometers, or said inorganic insulator layer. When using this bipolar membrane, as for this organic film 40, it is desirable to use a photopolymer ingredient. When a photosensitive ingredient suitable as organic film 40 of a protective coat 8 is illustrated by this example, there are photosensitive polyimide, photosensitive benz-cyclo-butene, photosensitive poly benzoxazole, etc. In this example, the inorganic material, the organic materials, or such bipolar membrane of well-known common use can be used not only as this but as a protective coat. For example, SiN, SiO₂, etc. can be used as inorganic film 41.

[0028] Moreover, although it does not matter even if it is formed so that the whole surface may be covered mostly, of course, as shown in drawing 17, even if the organic film 40 is formed only in the field of the inorganic film 41 which becomes near the aluminum pad (circuit electrode) 7, it is not cared about, and as shown in drawing 18, it may be formed only in two or more places of the arbitration of the front face of the inorganic film 41. Thus, by limiting the field of the organic film 40, the curvature of the wafer 9 by the internal stress of a protective coat 8 is reduced, and it becomes advantageous in respect of the handling in a production process, focusing at the time of exposure, etc. In addition, in this example, the field near the aluminum pad 7 has pointed out the field from the edge of the aluminum pad 7 to 1mm of maximum distances. In addition, in drawing 17 and drawing 18, although the organic film 40 around the aluminum pad 7 is formed in the continuation field, it may be formed in the field which became independent for each aluminum pad of every, respectively. Specifically, it becomes a field like drawing 19. In view of the pattern precision of the photopolymer used for this organic film 40, membranous internal stress, and the component property of this semiconductor device 13, it determines whether which gestalt of drawing 19 is used from drawing 17. If an example of the component property said here is given, it has pointed out changing the level of the energy barrier in each active cell inside a component (transistor) according to the stress operation to this semiconductor device.

[0029] On the above-mentioned protective coat 8, the stress relaxation layer 5 with a thickness [concerning this example] of 35-150 micrometers is formed alternatively. Although the thickness of the stress relaxation layer 5 is dependent on the size of a semiconductor device, the elastic modulus of a stress relaxation layer, semiconductor device thickness, etc. and cannot generally be *****ed), the semiconductor device thickness generally used The place which conducted the stress simulation experiment with the bimetal model which is about 150-750 micrometers and consists of a semiconductor device and a stress relaxation layer formed in the front face, Since it turned out that 10-

200 micrometers is 35–150 micrometers desirable still more preferably, the thickness of the necessary stress relaxation layer 5 was formed in this thickness range in the example concerning this invention. About 1/5 of thickness of this stress relaxation layer 5 is equivalent to about 20 to 1/5 thickness to the thickness of a semiconductor device. If the thickness of the stress relaxation layer 5 becomes smaller than 35 micrometers, desired stress relaxation cannot be obtained, and if the thickness of the stress relaxation layer 5 becomes thick exceeding 150 micrometers, the curvature of a wafer will occur for the internal stress which stress relaxation layer 5 self has, and it becomes easy to generate the handling fault in focus gap, a wiring formation process, etc. in an exposure process etc., and there is a problem that productivity falls.

[0030] And the stress relaxation layer 5 concerning this example is formed with the resin ingredient which has the elastic modulus of 0.1GPa(s) to 10GPa(s) in an elastic modulus (it may be about 20 degrees C.) sharply smaller than the semi-conductor wafer 9, for example, a room temperature, especially the hardened thermoplastics ingredient. If it is the stress relaxation layer which has the elastic modulus of this range, a reliable semiconductor device can be offered. That is, in the case of the stress relaxation layer of the elastic modulus which is less than 0.1GPa, in case it becomes difficult to support the weight of the semiconductor device itself and it uses it as a semiconductor device, it is easy to produce the problem that a property is not stabilized. On the other hand, when the stress relaxation layer of the elastic modulus exceeding 10GPa is used, there is even a danger that the curvature of a wafer will occur for the internal stress which stress relaxation layer 5 self has, will become easy to generate the handling fault in focus gap, a wiring formation process, etc. in an exposure process etc., and the fault that a wafer breaks further will occur.

[0031] Furthermore, the edge section of the stress relaxation layer 5 concerning this example has the inclination, and the average gradient is about 5 – 30%. In the case of the tilt angle which is less than 5%, an inclination becomes long too much and desired thickness is not obtained. For example, in order to consider as the thickness of 100 micrometers with the tilt angle of 3% of average gradients, desired thickness will be obtained, if about 7mm cannot be found when the horizontal distance of 3mm ** is needed and the edge section on either side is united. On the other hand, although it is satisfactory in respect of horizontal distance when a tilt angle is 30% **, the danger that step coverage conversely sufficient in the case of wiring formation will not be obtained is high. Especially plating resist is attached, there is no process margin in the process of the surroundings, exposure, and development, and special skill or a special technique is needed. When a tilt angle is still larger, the so-called stress concentration effectiveness may act, stress may concentrate on the edge section, the inclination an open circuit of the wiring 4 for rewiring becomes easy to generate in the edge section as the result may appear, and a device special to wiring structure may be needed.

[0032] Since it is 50-micrometer thickness from the edge of the stress relaxation layer 5 with the horizontal distance of 500 micrometers in the case of drawing 1 , an average gradient is about 10%.

[0033] Furthermore, in order to form an electrode 3, for example, a bump pad, in the front face of the stress relaxation layer 5 concerning this example, it is necessary to connect with the aluminum pad 7 with the wiring 4 for rewiring formed with conductors, such as copper. That is, the wiring 4 for rewiring is formed with conductors, such as copper, and has connected, the aluminum pad (circuit electrode) 7, and the electrode 3, for example, the bump pad, for forming terminals for external connection, such as a solder ball of the front face of the stress relaxation layer 5. Moreover, the bump pad 3 top may form the gilding 2 for preventing oxidation of the bump pad 3. The front face of a semiconductor device 13 is covered by the surface protective coat 6 except for the cutting section 24 at the time of cutting the wafer 9 with which the bump pad 3 and many semi-conductors were formed to each semiconductor device 13.

[0034] Since it is closing by covering completely a protective coat 8 and the stress relaxation layer 5 by the surface protective coat 6, it prevents that a protective coat 8 and the stress relaxation layer 5 exfoliate from the front face of a wafer 9 in which the semiconductor device was formed, and invasion of

foreign matters, such as ion which causes the performance degradation of a semi-conductor, can also be mitigated. Moreover, since the protective coat 8, the stress relaxation layer 5, and the surface protective coat 6 are all retreating from the cutting section 24, in case they carry out cutting separation of the semiconductor device 13, they do not receive damage.

[0035] As a surface protective coat 6, the various resin ingredients which have an electrical insulating characteristic can be used. Although it is desirable that it is a photosensitive ingredient since it is necessary to form a pattern, membranes may be formed by printing, for example using the ingredient corresponding to high precision printing of an ink jet etc. In addition, after carrying out solid formation of the insulator layer by the cheap methods of application, such as a curtain coat, a photolithography process may be used, and patterning of the etching resist may be formed and carried out, and membranes may be formed through the process of etching processing and resist exfoliation for the above-mentioned insulator layer using this resist pattern.

[0036] Although various ingredients are usable in this example as such an ingredient, if some are illustrated, conversion triazole resin, conversion melamine resin, polyimide resin, etc. will be suitably used as (1) photosensitivity ingredient as polyamidoimide resin, polyimide resin, and a charge of (3) solid membrane formation material as an acrylic conversion photosensitivity epoxy resin, photosensitive polyimide resin, and a (2) ink-jet printing ingredient. If it illustrates still more concretely about a photosensitive ingredient, the photosensitive polyimide used for surface covering of a solder resist or a flexible printed circuit board used suitably will be suitably used as a surface protective coat 6 by the printed circuit board production process as a cheap photopolymer ingredient. On the other hand, as a charge of solid membrane formation material, photograph NISU TM of Toray Industries, Inc. etc. is suitable, for example. In addition, the solder resist was used in this example.

[0037] Furthermore, on the bump pad 3, the bump 1 for carrying out connection mounting of the semiconductor device 13 on the circuit board is formed. As for this bump 1, forming with a solder ingredient is common. A bump 1 becomes an external connection terminal here.

[0038] The top view which omitted the bump 1 who originally exists the condition that the semiconductor device 13 shown by drawing 1 is continuously formed on the wafer showed to drawing 2 . The part shown by hatching in drawing 2 is the solder resist which is the surface protective coat 6. Moreover, it is formed in the condition that the stress relaxation layer 5 is formed in the shape of [which rounded off the angle] a rectangle, and gets down, and the cutting section 24 which is cutting at the time of separating each semiconductor device 13 exists between each semiconductor device 13. cut — it is desirable to be located in about 10–100 micrometers from the edge of ** 6, for example, a surface protective coat. If there is an inclination which becomes easy to induce a chipping and it becomes conversely longer than about 100 micrometers in case each semiconductor device will be separated, if shorter than about 10 micrometers, an effective area usable as a semiconductor device will decrease. Therefore, it is desirable to locate spacing with the surface protective layer 6 in about 10–100 micrometers by this example as cut and carry out for the improvement in the yield of a semiconductor device 13. In addition, although not illustrated by the lower layer of the end of the wiring 4 for rewiring, the aluminum pad 7 exists in it.

[0039] Thus, according to the structure of the semiconductor device concerning this invention, since the stress relaxation layer 5 exists between the wiring 4 for rewiring, and a wafer 9, a semiconductor device 13 is connected on the circuit board 14, and in case it operates, it becomes possible to distribute distortion by the heat which a bump 1 receives. For this reason, it becomes possible to prolong a connection life, without carrying out under-filling, even if it carries this semiconductor device 13 in the circuit board 14, as shown in drawing 21 . Moreover, since the stress relaxation layer 5 has the gently-sloping ramp, the wiring flexion which turns into stress raisers in the middle of the wiring 4 for rewiring does not exist.

[0040] An example of the production process of the semiconductor device 13 in this example is explained using drawing. By drawing 3 , drawing 4 explains the sixth process from the fourth process,

and drawing 5 explains the ninth process for from the first process to the third process from the seventh process. In addition, also in which drawing, cross-section structure of the semiconductor device 13 in this example is used as the sectional view which took out the part so that intelligibly.

[0041] The first process: Manufacture at the same process as the conventional semiconductor device 13 about the wafer 9 with which the semi-conductor whose aluminum pad 7 for external connection is formation ending was formed. Although the quality of the material of the pad for external connection was aluminum in the semiconductor device used by this example, an external connection pad may be copper. It is because wirebonding is not used as external connection, so it is not necessary to take into consideration the problem of the bonding nature which is easy to produce when an external connection pad is copper in this example. Since the electric resistance of wiring can be reduced if an external connection pad is copper, it is desirable also from a viewpoint of the improvement in an electrical property of a semiconductor device.

[0042] The second process: Form a protective coat 8 if needed. A protective coat 8 may already be formed in the so-called last process in a semi-conductor production process using an inorganic material, and also on an inorganic material, an organic material may be used for it and it may form it in piles. In the gestalt of this operation, on the silicon dioxide formed of the silicon nitride formed by the insulator layer which consists of an inorganic material formed at the so-called last process in a semi-conductor process, for example, a CVD method etc., a tetra-ethoxy silane, etc., or the insulator layer which consists of those bipolar membrane, the photosensitive polyimide which is an organic material is applied and the protective coat 8 with a thickness of about 6 micrometers is formed by exposing, developing and hardening this. Thereby, a protective coat 8 is formed on the wafer 9 with which the semi-conductor was formed. Although thickness of a protective coat 8 was set to about 6 micrometers in this example, necessary thickness changes with classes of the semiconductor device concerned, and the range is set to about 1-10 micrometers. In addition, like the surface protective coat 6 shown in drawing 2, although it does not matter even if it is formed so that the whole surface may be covered mostly, of course, as shown in drawing 17 - drawing 19, even if the organic film 40 is formed only in the field of the inorganic film 41 which becomes near the aluminum pad 7, it is not cared about. In the case of the insulator layer 8 which consists only of an inorganic material, the range of thickness is set to about 3 micrometers or less. Moreover, poly benzoxazole, poly benz-cyclo-butene, the poly quinoline, poly FOSUFAZEN, etc. can be used besides the photosensitive polyimide used by this example. In addition, drawing 17 (b), drawing 18 (b), and drawing 19 show the chip field 10.

[0043] The third process: Carry out printing spreading of a paste-like polyimide ingredient, especially the paste-like thermoplasticity polyimide ingredient in the formation schedule part of the stress relaxation layer 5, and make it harden by heating this after that. Thereby, the stress relaxation layer 5 concerning this example is formed on a protective coat 8 by about (preferably about 35-150 micrometers) 10-200-micrometer thickness.

[0044] The fourth process: Use the reverse pattern 17 of wiring and form a photoresist, after forming the electric supply film (for example, it consists of a Cr thin film and a Cu thin film) 16 for using for electroplating by approaches, such as a spatter.

[0045] The fifth process: Perform electroplating using this electric supply film 16 and the reverse pattern 17 of wiring, and perform formation of the wiring 4 for rewiring, and the bump pad 3. Moreover, wiring 4 for rewiring is made into multilayer structure by repeating electroplating if needed.

[0046] The sixth process: Etching processing removes the reverse pattern 17 of wiring which consists of a photoresist, and the electric supply film 16 of electroplating.

[0047] The seventh process: Form the surface protective coat 6 using a solder resist. And non-electrolyzed gilding 2 is performed on the maximum front face of the bump pad 3 using this pattern.

[0048] The eighth process: On the bump pad 3, connect a solder ball to the bump pad 3 by carrying and heating a solder ball with flux, and form a bump 1.

[0049] The ninth process: By cutting the cutting section 24 of the wafer 9 with which the semi-

conductor was formed with a wafer dicing technique, as shown in drawing 21 , the semiconductor device 13 which can carry out connection mounting will be completed to the circuit board 14.

[0050] Below, it attaches by the eighth process from the third above-mentioned process, and explains to a detail.

[0051] First, the third process is explained concretely. Since it was necessary to make it about (preferably about 35–150 micrometers) 10–200-micrometer thickness, the stress relaxation layer 5 concerning this example was formed by printing. The thing of the same structure as the mask for printing used by soldering paste printing to a printed wired board etc. as a mask 30 used for printing is usable. For example, as shown in drawing 6 , the metal mask of the gestalt which stuck the stencil 25 made from a nickel alloy on the frame 27 through the resin sheet 26 can be used. Since a paste is damp and about 50 micrometers of pattern openings 28 of the mask 30 for printing spread after printing, you may make it manufacture them the part and smallness which expected it. Paste printing sticks the mask 30 for printing, and the pattern of the wafer 9 with which the semi-conductor was formed, where alignment is carried out, as shown in drawing 7 , it is in the condition, it is that a squeegee 32 moves in a stencil 25 top, and pattern opening 28 fills up with a paste 31, it is raising the mask 30 for printing relatively after that to the wafer 9 with which the semi-conductor's was formed, and the so-called contact printing which prints performs. In addition, adhesion of the wafer 9 said here and the mask 30 for printing does not necessarily mean completely losing a clearance among both. Since the protective coat 8 is already partially formed on the wafer 9, it is because it is difficult practically to stick the printing mask 30 without a clearance on this. At this example, it printed on printing conditions from which the clearance between a wafer 9 and the mask 30 for printing is set to about 0–100 micrometers. In addition, the whole squeegee side of the mask 30 for printing is coated with the first squeegee with a paste 31, the pattern opening 28 of the mask for printing is filled up with the second squeegee after that, and an excessive paste is removed. Then, there is also the printing approach of raising the mask 30 for printing relatively to the wafer 9 with which the semi-conductor was formed. You may make it go up, although you may make it go up perpendicularly as shown in drawing 8 in case the printing mask 30 is relatively raised to a wafer 9, moving so that it may have a tilt angle relatively. By giving a tilt angle, a version detached building angle in case the printing mask 30 separates from a wafer 9 tends to become homogeneity in a wafer side. Moreover, the printing mask 30 will separate from one edge of a wafer 9 toward the other end, at the moment of the last of a version detached building when a version omission tends to become unstable, will be performed in a field without a semiconductor device, and becomes advantageous also in respect of the improvement in the yield. Furthermore, when performing continuous printing to two or more sheet wafer 9 using the same printing machine, it is good to insert the process which wipes the background of the mask version with proper timing. For example, in this example, when ten-sheet continuation printing was carried out, the background of the mask version was cleaned once, and printing of the 11th sheet was performed after an appropriate time. As for the timing of cleaning of a mask background, a count, and its approach, accommodation is needed suitably with the viscosity and solid content concentration of a paste ingredient, the amount of fillers, etc.

[0052] The paste pattern 33 hardens by heating gradually the wafer 9 with which the semi-conductor with which printing spreading of the paste pattern 33 was carried out succeedingly was formed using a hot plate or a heating furnace, and the stress relaxation layer 5 is formed.

[0053] The ingredient for formation of the stress relaxation layer 5 currently used here is paste-like polyimide, and can be hardened by heating, after printing spreading is carried out on a protective coat 8. Moreover, the polyimide of the shape of this paste consists of a minute particle of the polyimide of a large number distributed the precursor of polyimide, a solvent, and in it. As a particle, it is specifically about 1–2 micrometers in mean particle diameter, and the minute particle which has the particle size distribution from which a maximum grain size is set to about 10 micrometers was used. Since the precursor of the polyimide used for this example will serve as the same ingredient as the minute particle of polyimide if it is hardened, when paste-like polyimide hardens, the uniform stress relaxation layer 5

which consists of one kind of ingredient will be formed. In this example, although polyimide was used as a stress relaxation stratification ingredient, it is also possible to use amide imide resin, ester imide resin, ether imide resin, silicone resin, acrylic resin, polyester resin, the resin that denaturalized these with the gestalt of this operation in addition to polyimide. When using resin other than polyimide, it is desirable to give conversion to a resin presentation so that processing which gives compatibility to the above-mentioned polyimide minute particle front face may be performed or compatibility with the above-mentioned polyimide minute particle may be improved.

[0054] In the resin which has imide association among the resin which carried out [above-mentioned] listing, for example, polyimide, amide imide, ester imide, and ether imide, it excels in a heat mechanical property, for example, the reinforcement in an elevated temperature etc., thanks to the firm frame by imide association, and ***** of the plating electric supply film formation approach for wiring spreads as the result. For example, the plating electric supply film formation approach accompanied by high temperature processing, such as a spatter, can be chosen. When it is resin with the part condensed in association other than imide association, such as silicone resin, acrylic resin, polyester resin, amide imide, ester imide, and ether imide, although a heat mechanical characteristic is inferior a little, it may be advantageous in respect of workability, a resin price, etc. For example, by polyester imide resin, generally, since curing temperature is lower than polyimide, it is easy to treat. In the gestalt of this operation, a component property, a price, a heat mechanical characteristic, etc. are synthetically taken into consideration out of these resin, and these resin is used properly suitably.

[0055] Since it becomes possible to adjust the visco-elastic property of an ingredient by distributing a polyimide minute particle into paste-like polyimide, the paste 31 excellent in printing nature can be used. Since it becomes possible to control the thixotropy property of a paste 31 by adjusting combination of a minute particle, a printing property is improvable by combining with adjustment of viscosity. Moreover, whenever [tilt-angle / of the stress relaxation layer 5] can also be adjusted.

[0056] As for the thixotropy property of a paste 31 suitable at this example, it is desirable for the so-called thixotropy index for which it asked from the ratio of the viscosity in engine-speed 1rpm measured using the rotational viscometer and the viscosity in engine-speed 10rpm to be in the range of 2.0 to 3.0. In addition, when it is the paste with which temperature dependence appears in a thixotropy index, high results will be acquired if it prints in a temperature field in which a thixotropy index becomes the range of 2.0 to 3.0.

[0057] After carrying out heat hardening of the polyimide of the shape of a printed paste, as shown in drawing 9 , the stress relaxation layer 5 which has the cross-section configuration which consists of a ramp 35 and a flat part 36 is formed on a wafer 9. Thus, although it may swell at the place of 200-1000 micrometers and a part 34 may exist from the edge section of the stress relaxation layer 5 if the stress relaxation layer 5 is formed by printing, about the location of this swelling part 34, and the existence of existence, the presentation of paste-like polyimide is adjusted, or it is changing the various conditions in connection with printing, and becomes to some extent controllable.

[0058] In addition, as various conditions in connection with printing in this case, **, such as metal mask thickness, a squeegee rate, the squeegee quality of the material, a squeegee include angle, squeegee ** (printing pressure), a version detached building rate, temperature of the wafer at the time of printing, and humidity of a printing environment, are raised.

[0059] Although the above-mentioned printing conditions can attain control of the height of the above-mentioned swelling part 34, or a configuration, there is also an approach by the structural adjustment of a protective layer 8 as the other control approaches. For example, if the formation field of the organic layer 40 of a protective coat 8 is limited only near the pad 7 as shown in drawing 36, it is easy to make the stress relaxation layer 5 of the part equivalent to the organic layer 40 upper part heaped up.

[0060] Furthermore, as shown in drawing 1 , when it swells in the stress relaxation layer 5 and a part 34 is formed positively, the deflection part of wiring 4 can be formed, it becomes the structure which is easy to absorb the stress by thermal expansion etc. by this, and an open circuit of wiring 4 can be

prevented more. It is desirable that about 25 micrometers of swelling parts 34 which have height of about 7–12 micrometers desirably are specifically formed at the maximum to the average thickness of the stress relaxation layer 5. If it is top-most vertices of this level, it can form enough by the mask printing 30. For example, if a radius assumes this swelling section 34 to be the shape of a semi-cylindrical shape which is 10 micrometers, the die length of the half-arc of the swelling section 34 is set to $(2 \times 3.14 \times 10 \text{ micrometers}) / 2 = 31.4 \text{ micrometers}$, and the redundancy die length of wiring 4 will be set to 42.8 micrometers when it forms in every one both sides of 31.4micrometer—

10micrometer=21.4micrometer and the stress relaxation layer 5 about the one swelling section. Thus, since the redundancy section can be prepared in wiring 4, the thermal stress which acts on wiring structure and the soldered joint section is eased, therefore reliable wiring structure can be offered. [0061] In addition, it asks for the necessary thickness of this swelling section 34 from the experiment and simulation which took into consideration the thickness of the stress relaxation layer 5 and an elastic modulus, the size of a semiconductor device 13, the power consumption of a semiconductor device, the physical-properties value of the circuit board 14 in which a semiconductor device is carried, etc. In this example, set the diagonal die length of a semiconductor device 13 to Lmm, and the difference of the coefficient of linear expansion of a semiconductor device 13 and the circuit board 14 in which it is carried For example, 15 ppm/degree C If the maximum temperature requirement produced by ON/OFF under the substrate loading process of a semiconductor device 13 – actuation carries out to 200-degree Centigrade The maximum heat deformation which the wiring section receives [a substrate mounting article] by use by the real operating environment serves as $15(\text{ppm/degree C}) \times L/2(\text{mm}) \times 200 (\text{degree-C}) = 0.0015 \times L\text{mm}$. Therefore, when there was redundancy die length required of the above-mentioned swelling section 34 a $0.002 \times L\text{mm}$ grade, I thought that it was enough. It swells from this count, the section 34 is approximated by the shape of a semi-cylindrical shape, and it was made for the height of that swelling part to be settled in $L/2000 \text{ mm} - L / \text{the range of about } 500\text{mm}$ to the average thickness of the stress relaxation layer 5 in this example.

[0062] By the way, the resin of the shape of a paste printed especially so that it may specifically mention later When heat hardening is carried out in the case of thermoplastics, a solvent will evaporate. It was able to check by experiment that it became possible to prevent that bend in the wiring 4 which becomes possible [the thing which was made to be generated by mask printing, and which swell and maintains the configuration of a part 34 (reservation)], consequently is formed on it, form a part, and wiring 4 is cut.

[0063] On the contrary, when the resin of the shape of a printed paste carries out heat hardening in the case of thermosetting resin so that it may mention later, it becomes difficult to bend in the wiring 4 which is in the inclination which was produced by mask printing, and which it will swell and the part 34 will not fuse, consequently is formed on it by the relation which this resin fuses and hardens, and to form a part.

[0064] When the thickness of the needed stress relaxation layer 5 is not formed by one printing and heat hardening, thickness predetermined by repeating printing and hardening of an ingredient two or more times can be obtained. For example, when a metal mask with a thickness of 65 micrometers is used using the paste 31 of 30 – 40% of solid content concentration, about 50 micrometers can be obtained as thickness after hardening by two printings. Moreover, especially about the bump 1 stationed in the part which distortion tends to concentrate when a semiconductor device 13 is connected to the circuit board 14, it is limiting only to the stress relaxation layer 5 of the corresponding part, and thick-film-izing thickness, and concentration of distortion can also be eased. for this reason — being alike — for example, what is necessary is just to print multiple times using a different metal mask from what used paste-like polyimide by the 1st printing to the wafer 9 top with which the semi-conductor was formed The thickness of the stress relaxation layer 5 can also be partially changed by adjusting the structure of the protective layer 8 in directly under [which a strain tends to concentrate / of a bump] as the 2nd approach. for example, — if the inorganic layer 41 which consists the structure of a

protective coat 8 only of inorganic film directly under the corresponding bump 1 is used and it is inorganic and an organic compound layer in other fields — low — thickness of the elasticity stress relaxation layer 5 can be thickened by the thickness of an organic layer directly under this bump.

[0065] In addition, it is not necessary to necessarily have a particle in the stress relaxation layer 5, and even when not distributing a particle during a paste, minimum viscoelastic property required for printing should just be secured. However, when not distributing a minute particle during a paste, the margin of the various conditions in connection with printing may become extremely narrow.

[0066] Next, the fourth process is explained concretely. With the gestalt of this operation, wiring 4 for rewiring was made two-layer [of electrolytic copper plating and electric nickel]. In addition, the end of the wiring 4 for rewiring may be used also [pad / 3 / bump]. Although here showed how copper and nickel form a conductor using electroplating, it is also possible to use nonelectrolytic plating.

[0067] First, the electric supply film 16 for carrying out electroplating is formed all over a semi-conductor wafer. Here, although it was possible to have used vacuum evaporation, non-electrolytic copper plating, CVD, etc., the bond strength with a protective layer 8 and the stress relaxation layer 5 decided to use a strong spatter. As pretreatment of a spatter, in order to secure the flow between a bonding pad 7 and wiring 4 conductor for rewiring, sputter etching was performed. As spatter film in this example, the multilayers of Cr (75nm — about 0.1 micrometers)/Cu (0.2 micrometers — about 0.5 micrometers) were formed. The function here of Cr is to secure adhesion with the Cu and stress relaxation layer 5 grade which are located up and down, and the thickness has the desirable minimum which maintains those adhesion. When the thickness of Cr becomes thick, membrane formation time amount will increase, in addition to the problem that productive efficiency falls, a protective layer 8 and the stress relaxation layer 5 will be put to the plasma of the high energy condition generated in a spatter chamber over long duration, and there is a danger that the ingredient which forms these layers will deteriorate. In addition, although necessary thickness is changed by the conditions of sputter etching and a spatter, the membraneous quality of Cr, etc., it is 0.5 micrometers at the maximum in general. In addition, it replaces with Cr film used with the gestalt of this operation, and Ti film, the Ti/Pt film, and W can also be substituted. On the other hand, when the electrolytic copper plating and electric nickel plating which are performed at a next process are performed, the minimum thickness of the thickness of spatter copper which thickness distribution of the plating film does not produce is desirable, and it determines the thickness which does not induce thickness distribution after also taking into consideration the amount of film decreases in acid washing performed as plating pretreatment. In the case of the copper thickness exceeding 1 micrometer, when thickness of spatter copper is made thick beyond the need, spatter time amount becomes long, in addition to the problem that productive efficiency falls, long duration etching is not avoided in the case of etching removal of the electric supply film 16 carried out at a next process, but side etching of the wiring 4 for rewiring becomes large as the result. By simple count, in etching the 1-micrometer electric supply film, also in wiring, 2-micrometer etching takes place on 1 micrometer of one side, and both sides. In actual production, since carrying out over etching is generally performed so that the etching remainder of the electric supply film may not occur, when etching the 1-micrometer electric supply film, side etching of about 5 micrometers of the wiring will be carried out. If side etching becomes large in this way, wiring resistance becomes large, or it will become easy to induce an open circuit and will be easy to generate a problem in the viewpoint of the wiring engine performance. Therefore, the thickness of spatter copper is set in general to 1 micrometer at the maximum.

[0068] Next, the reverse pattern configuration 17 of the wiring 4 for rewiring is formed using a resist using a photolithography techniques. The thickness of the resist in the edge section of the stress relaxation layer 5 shown by B in drawing 4 becomes thick by the resist which flowed out of the slant surface part compared with other locations. For this reason, the negative mold is more desirable in order to secure resolution. As a resist, when a liquefied resist is used, resist thickness tends to become thin and there is an inclination for resist thickness to tend to become thick conversely, in the slant-face

lower part in the slant-face upper part of the edge section of the stress relaxation layer 5 shown by B in drawing 4 . Large development tolerance is needed for carrying out patterning of the resist from which thickness differs in the slant-face upper part and the slant-face lower part on the same same light exposure and development conditions. Generally, since the negative-mold sensitization property resist was larger than a positive type sensitization property resist, the development tolerance to thickness used the liquefied resist of a negative mold in this example. In addition, in using a film resist, since it does not generate, ***** in the slant-face upper and lower sides becomes usable also with a negative mold or a positive type, but since a slant surface part will be exposed from across and the real optical path length becomes long, if a negative mold is used also in this case, good results will be obtained in many cases. A negative mold is desirable especially when using a film resist with weak case where the inclination of the edge section of the stress relaxation layer 5 is large and breaching property.

[0069] In this example, as shown in drawing 10 , the exposure mask 21 and the resist 22 stuck and the exposure machine of the type which has a clearance 20 in a part was used. The resolution limit in this exposure machine was about 10 micrometers in the case where the mask 21 for exposure and a resist 22 stick. According to our experimental result, the clearance 20 between the exposure mask 21 lower parts and the relation of the wiring width of face to resolve came to be shown in Table 1. In addition, the value in Table 1 changes with the ratios of the optical system and the development conditions of an exposure machine, the sensibility of a resist, resist hardening conditions, and wiring width of face / wiring spacing etc.

[0070] The experimental result shown in Table 1 is a value in case the ratio of wiring width of face / wiring spacing is 1.0.

[0071]

[Table 1]

表 1

		露光マスク下部の隙間 [μm]			
		40	60	80	100
配 線 幅 [μm]	15	×	×	×	×
	20	○	×	×	×
	25	○	○	○	×
	30	○	○	○	○
	40	○	○	○	○
	50	○	○	○	○

○ : 解像可

× : 解像不可

Signs that a connection 23 and the bump putt 3 with the aluminum pad 7 are connected with the wiring 4 for rewiring are shown in drawing 11 . In the case of the aligner used with the gestalt of this operation, since the clearance between the lower parts of the exposure mask which is the axis of abscissa of Table 1 supports the thickness of the stress relaxation layer 5 mostly, if the thickness of the stress relaxation layer 5 is 60 micrometers, for example, the width of face of wiring is resolvable to 25 micrometers. Therefore, wiring 4 can also be carried out, being able to set wiring width of face of a signal line to 25 micrometers, and being able to use wiring width of face of a power source or a grand line as 40 micrometers. Moreover, it is also possible to make thick a part of the signal line, using wiring of a signal line as 25 micrometers.

[0072] In addition, the wiring 4 for rewiring in near the ramp of the stress relaxation layer 5 is expanded and shown in drawing 12 .

[0073] As mentioned above, since resist thickness served as an ununiformity near the edge section of the stress relaxation layer 5, there was an inclination which a underdevelopment tends to generate in the field. Signs that the underdevelopment has actually happened in the edge part of the stress

relaxation layer 5 are shown in drawing 13 . With the gestalt of this operation, it solved by improving a surroundings lump of a developer for this cure. When it illustrates more concretely, they are policies, such as changing a circuit pattern configuration, as shown in drawing 14 or drawing 15 .

[0074] Drawing 14 shows the case where drawing 15 makes thick wiring width of face of only the edge part of the stress relaxation layer 5 with bad definition for the case where wiring width of face is made thick from the connection 23 with an aluminum pad to near the summit of the stress relaxation layer 5. In addition, the wiring width of face in these drawing 14 and drawing 15 is determined in consideration of the resolving property shown in the thickness and Table 1 of the stress relaxation layer 5. How to cancel the development remainder by extending developing time as other solutions is also considered.

[0075] Moreover, since light diffracts in respect of a mask, it may originate in a clearance 20 existing under the exposure mask 21, and a definition fall and a pattern precision fall may take place. As a solution of this phenomenon, optical-system modification of (1) exposure machine, breeching nature amelioration of (2) resists, prebaking condition rationalization of (3) resists, (4) multistage exposure, etc. are raised. If one example is given about modification of the optical system of an exposure machine, the policy that NA value uses 0.2 or less or more 0.0001 exposure machine will be raised. The definition of a pattern and precision can be improved by combining suitably the device on the process of not only the example given here but well-known common use.

[0076] Since the edge section of the stress relaxation layer 5 has the description on the structure which the stress produced by the difference in the physical-properties value of a wafer 9 and the stress relaxation layer 5 tends to concentrate, it can also prevent an open circuit effectively by making wiring thick by the ramp of the stress relaxation layer 5. In addition, you may make it change the width of face of wiring by the power source / grand line 4b, and signal-line 4a, as it is necessary to not necessarily make no wiring into the same size for example, and is shown in drawing 16 . In this case, when an electric property is taken into consideration, it is desirable to make a power source / grand line 4b thicker than signal-line 4a generally.

[0077] It is because the capacity component which wiring has by this increases and effect is done at the time of high-speed operation, when signal-line 4a is made thick. On the contrary, since the effectiveness that supply voltage is stabilized is expectable if a power source / grand line 4b is made thick, it is desirable rather. Therefore, it is desirable to consider as the pattern which made the edge circumference thick so that it may illustrate, and only the part which stress concentrates can be eased at worst about wiring 4for signals a, and to make a ramp thick uniformly about wiring 4for object for power sources or glands b. On the other hand, about the flat part in which the stress relaxation layer 5 is not formed, signal wiring 4a is made thin in consideration of the effect of the capacity component of wiring. However, it is necessary to take this into consideration with the class of semiconductor device, or its circuit pattern each time. For example, although it is dependent also on a semiconductor device or its circuit pattern, since big effectiveness is in capacity reduction of wiring 4 when the thickness of a protective coat 8 is increased, when signal wiring 4a must be made thick by the flat part in which the stress relaxation layer 5 is not formed, it is desirable to form a protective coat 8 thickly. When increasing wiring width of face 10%, specifically, it is desirable to also increase the thickness of a protective coat 8 about 10%. On the other hand, the wiring width of face in the up flat part 36 of the stress relaxation layer 5 receives a limit from signal-line capacity with a wiring consistency rather. That is, the upper limit of the wiring width of face in the up flat part 36 of the stress relaxation layer 5 is calculated from the alignment accuracy in the path of the wiring number which it lets pass at spacing of the bump pad 3, and the bump pad 3, and a wiring formation process etc. If an example is shown concretely, spacing of the bump pad 3 will serve as count of $(500-300) / (3 \times 2 - 1)$ about =40 by 0.5mm, when the diameter of a pad pulls the 3 wiring 4 between 300 micrometers and a pad. From this count result, it could be average wiring width of face / about wiring spacing =40micrometer by this example.

[0078] Next, the fifth process is explained concretely. In this example, copper plating was carried out using sulfuric-acid acidity copper-plating liquid. After electrolytic copper plating performed washing by

the surfactant, rinsing, washing by the dilute sulfuric acid, and rinsing, it connected the electric supply film 16 to cathode, and connected and carried out the copper plate containing Lynn to the anode plate.

[0079] Then, electric nickel plating is performed. In addition, when washing by the surfactant, rinsing, washing by the dilute sulfuric acid, and rinsing are performed before electric nickel plating, there is an inclination for the electric nickel-plating film of good membrane quality to be easy to be obtained. Electric nickel plating connected the electric supply film 16 to cathode, connected the nickel plate to the anode plate, and went. Although the nickel-plating bath of the gap which is not well-known common use of electric nickel plating suitable at this example could also be usable and the Watts bath system or the sulfamine bath system was sufficient as it, it was performed using the Watts bath system under the plating conditions adjusted so that plating film internal stress might become the proper range by this example. Although there is a fault that a sulfamine bath has the inclination which a plating liquid component tends to decompose a little an expensive top compared with a Watts bath, coat stress tends to control it. On the other hand, since coat stress generally tends to become large, a Watts bath has the fault that the danger that a crack will go into a wiring layer for the coat stress (tensile stress) which self has increases, when thick-film plating is carried out. Although the Watts bath was used in this example, when using a sulfamine bath, or when using a Watts bath, it is good to carry out, after carrying out beforehand the model experiment for asking for the proper range of whenever [class / of additive (coat stress inhibitor) / and concentration, plating current density, and plating solution temperature]. It carried out, after searching for beforehand the conditions from which these are controlled by this example proper, and a crack does not go into wiring in 10 micrometers or less of thickness.

[0080] In addition, plating membrane stress is one of the indexes in connection with the metallic crystal stacking tendency of depositing nickel, and in order to control growth of the solder diffusion layer mentioned later, it is necessary to control it proper. If membrane stress galvanizes under the conditions controlled proper, a plating coat will come to carry out the eutectoid of the minor constituent of the amount of specification. For example, in the case of the film containing 0.001 – 0.05% of sulfur, the content of a specific crystal orientation side increases. Speaking more concretely, the content sum total of the orientation sides 111, 220, 200, and 311 becoming 50% or more.

[0081] The thickness of electric nickel plating determines an optimum value with the class and reflow conditions of the solder used at a subsequent process, and the product property (mounting gestalt) of a semiconductor device. What is necessary is just to determine that the thickness of the alloy layer of the solder and nickel which are formed in the case of a solder reflow or mounting repair will specifically become more than nickel-plating thickness. The thickness of the above-mentioned alloy layer becomes so large [it is so large that the concentration of the tin in solder is high, and] that reflow upper limit temperature is high.

[0082] Next, at the sixth process, after performing electrolytic copper plating and electric nickel plating, the resist 17 which is the reverse pattern of wiring 4 is removed, and the electric supply film 16 which formed membranes beforehand by carrying out etching processing is removed.

[0083] Although there was a class of ferric chloride, alkali system etching reagent, etc. of copper etching, in this example, the etching reagent which uses a sulfuric acid/hydrogen peroxide solution as a principal component was used. If there is no etching time for 10 seconds or more, control will become difficult, and since it will also produce the problem that side etching becomes large or a baton becomes long in etching, for example exceeding 5 minutes if too much long time amount etching is performed although it is disadvantageous in a practical viewpoint, an etching reagent and etching conditions are good to ask by experiment suitably. By this example, the etching reagent which uses potassium permanganate and a meta-silicic acid as a principal component was used for etching of the chromium part of the electric supply film 16 carried out succeeding. In addition, the above-mentioned electric nickel-plating film is functioning also as etching resist in the case of etching of the electric supply film 16. Therefore, it is good to take into consideration nickel and the etch selectivity of Cu, nickel, and Cr, and to determine the presentation component of an etching reagent, and etching conditions. For

example, speaking concretely, by the sulfuric-acid hydrogen-peroxide etching agent used in the case of copper etching, making the content of a sulfuric acid into 15% or less desirably 50% or less at the maximum. Thereby, Cu can be etched by about 10-time etch selectivity to nickel.

[0084] Next, at the seventh process, only the bump pad 3, the cutting section 24, and its perimeter formed the surface protective coat 6 which carried out opening, and formed gold in the bump pad section 3 by carrying out non-electrolyzed gilding succeeding. Here, after using a solder resist as a surface protective coat 6 and applying this all over a semiconductor device 13, a pattern is formed in exposing and developing negatives. In addition, it is also possible to use ingredients other than a solder resist, such as photosensitive polyimide and polyimide for printing, and to form the surface protective coat 6.

[0085] By passing through the above processes, the surface protective coat 6 will cover completely the wiring 4 for rewiring, the stress relaxation layer 5, a protective coat 8, etc. For this reason, the surface protective coat 6 can inhibit that the wiring 4 for rewiring, the stress relaxation layer 5, and a protective coat 8 deteriorate, exfoliate and corrode with the stimulative matter. Since the ingredient used for the surface protective coat 6 is asked for the property as such a last protective coat, the elongation after fracture in near a room temperature (it may be about 20 degrees C.) is required for it at least 3% or more, and it is desirable that it is the ingredient which has the elongation after fracture of ** 10%. In the case of the ingredient with which elongation after fracture is less than 3%, there is an inclination which a crack tends to generate on a front face with various impacts, stress, etc. under the environment currently used including in the handling at the time of making it circulate as various processes in a manufacture phase and a package or a device, and there is a danger of losing a part of function as the last protective layer. Conversely, although there is no special problem when elongation after fracture carries out this example 10%, since the danger of super-***** and the above crack initiation is low, generally it is desirable that it is 200% or less of elongation after fracture in general. The case where it is inferior in respect of thermal resistance or weatherability can see the ingredient of 200% ** of elongation after fracture. Therefore, it is desirable to use the ingredient of 100% or less of elongation after fracture more preferably.

[0086] Moreover, another function of adhesion dependability reservation with a lower layer is also required of the last protective coat 6. Therefore, a device which does not spoil the adhesion property which an ingredient has is required for the membrane formation process of the surface protective coat 6, and the hardening flow is rationalized in this example. If it illustrates concretely, the device of adoption of the hardening flow which consists of a temperature hierarchy of (1) multistage story, rationalization of the setting time in the (2) last curing temperature, etc. will be raised. If it indicates still more concretely, in addition to this in view of the adhesion results after exposing to pressure KUKKU conditions, the device of well-known common use will be suitably combined with the device which carried out [above-mentioned] instantiation.

[0087] Even at the seventh process explained above, as shown in drawing 20 and drawing 2, the wiring 4 for rewiring from the aluminum pad 7 to the bump pad 3 and the bump pad 3 are formed on the wafer 9 with which the semi-conductor was formed.

[0088] Next, at the eighth process, a bump is formed using solder ball loading equipment and a reflow furnace. That is, the flux and the solder ball of the specified quantity are carried on the bump pad 3 by using solder ball loading equipment. As this solder ball, it is desirable to use a lead free-lancer's solder ball. Under the present circumstances, temporary immobilization of the solder ball is carried out by the adhesion of flux on a bump pad. It is once fusing a solder ball and solidifying again after that in throwing into a reflow furnace the semi-conductor wafer with which the solder ball was carried, and becomes the bump 1 linked to the bump pad 3 shown in drawing 1. In addition, there is also the approach of forming a bump 1 by carrying out printing spreading of the soldering paste on the bump pad 3 using a printing machine, and carrying out a reflow of this. Also in which approach, it becomes possible [a solder ingredient] to choose various things, and many of solder ingredients currently supplied to the

commercial scene in this time can be used. In addition, although a solder ingredient is limited, it is using a plating technique and there is also the approach of forming a bump 1. Moreover, the bump who formed using the resin which blended the bump who used the ball which used gold and copper as the nucleus, and the electrical conducting material may be used.

[0089] As mentioned above, by passing through the process from the first process to the ninth process, it has the stress relaxation layer 5 shown in drawing 1 , and the wiring 4 for rewiring is formed by the small routing counter, and the semiconductor device 13 with which the flection which stress moreover concentrates in the middle of the wiring 4 for rewiring does not exist can be realized. Moreover, as mentioned above, pattern formation of the stress relaxation layer 5 which is an insulating layer of a thick film can be carried out by using printing techniques, such as screen-stencil, without using exposure and a development technique, and the stress relaxation layer 5 can have a slant face for forming the wiring 4 for rewiring.

[0090] According to this example, under-filling is not carried out, but even when flip chip bonding of the semiconductor device 13 is carried out, the connection dependability of a semiconductor device 13 can be raised sharply.

[0091] For this reason, according to this example, it turns out that the flip chip bonding which does not use under-filling in many electric products becomes possible, and it becomes possible to reduce the prices of various electric products.

[0092] Furthermore, since under-filling is not carried out, removal of a semiconductor device 13 is attained. That is, when the semiconductor device 13 linked to the circuit board is a defective, it becomes possible to remove a semiconductor device 13 from on the circuit board, and to reproduce the circuit board, and it becomes possible to reduce the prices of various electric products also by this.

[0093] the thermal stress which has structure which formed the stress relaxation layer 5 in the lower part of the junction bump 1 to the circuit board 14, and acts on a bump 1 with the package (semiconductor device) 13 concerning this invention explained above as shown in drawing 21 — the stress relaxation layer 5 from a bump's 1 lower part — ** — it will be transmitted. That is, the semiconductor device 13 concerning this invention is in the bump lower part which is a stress concentration point to have built the structure which can carry out stress relaxation directly and efficiently, after showing clearly that thermal stress concentrates to a bump's 1 vertical section by the stress simulation experiment. Thus, in order to pull out well the structural description which the package (semiconductor device) concerning this invention itself has, it devised also to the ingredient presentation of the stress relaxation layer 5. That is, the ingredient of the stress relaxation layer 5 concerning this example can make the thermal stress which is made to reduce a modulus of elasticity compared with under-filling resin, and acts to a bump 1 as the result ease flexibly. Although it is desirable in a room temperature that it is 0.1 to 10.0GPa extent as for the elastic modulus of the suitable ingredient for this stress relaxation layer 5, what has an elastic modulus lower than a common polyimide hardened material is still more desirable. In addition, the elastic modulus of general under-filling resin is larger than a common polyimide hardened material. In being too small, in case it performs the formation of a projection electrode and the functional test of this semiconductor device which are mentioned later by the elastic modulus of the charge of stress relaxation layer 5 material being less than 0.1GPa(s), we become easy to deform a wiring part and are anxious about problems, such as an open circuit. Moreover, if the elastic modulus of the stress relaxation layer 5 becomes large exceeding 10.0G, the reduction effectiveness of sufficient stress will not be acquired, but we are anxious about the connection dependability at the time of carrying this semiconductor device 13 in a substrate 14 falling.

[0094] Furthermore, in the semiconductor device concerning this invention, in order to pull out the above package structures and the description of ingredient physical properties, creativity is put also in order of the resin layer formation process. That is, as mentioned above, before forming rewiring, the stress relaxation layer 5 is formed and stiffened in this example. Consequently, when forming the stress relaxation layer 5, wiring 4 and a bump 1 are in the condition that the top face before still forming was

opened wide, are recording of the internal stress to the stress relaxation layer 5 is small, and bump deformation of a resin internal stress reason does not take place.

[0095] Furthermore, the example of the ingredient of the stress relaxation layer 5 concerning this example is explained concretely. That is, as an ingredient of the stress relaxation layer 5, it became clear from the heat cycle test result of the semiconductor device 13 of this invention that results also with an equivalent thermoplastics and thermosetting ingredient were given so that it might illustrate to the next table 2.

[0096]

[Table 2]

表 2

No	応力緩和層の材料	試験条件	試験試料数	不良発生サイクル数
1	熱可塑性*1	-5 5℃/ 1 2 5℃	4 5	>1 0 0 0
2	熱硬化性*1		4 5	>1 0 0 0
3	無し*1		2 0	1 0 0
4	無し*2		2 0	>1 0 0 0

* 1 : アンダフィル無

* 2 : アンダフィル有

As shown in this table 2, when there is a stress relaxation layer 5 (No. 1 and 2), even if there is no under-filling, with the mounting gestalt which does not use under-filling without the stress relaxation layer 5, good results are given compared with that (No.3) which a defect generates in an early phase considerably. These results are equivalent to a mounting gestalt having no stress relaxation layer and with under-filling (No.4), and it became clear in the viewpoint of the improvement in connection dependability that it had effectiveness and an operation with the stress relaxation layer 5 equivalent to under-filling.

[0097] In addition, as for the ingredient of the stress relaxation layer 5, it is desirable to choose what has the glass transition temperature T_g and melting temperature T_m in consideration of the highest attainment temperature T_{max} in each process after a stress relaxation layer formation process (about 350 degrees C), for example. Furthermore, when it states concretely, specific relation is desirable between the highest attainment temperature T_{max} in the spatter membrane formation for sticking wiring 4 on the front face of the stress relaxation layer 5, membrane formation of the surface protective coat (cover coat layer) 6, and the process of a solder reflow, the glass transition temperature T_g of the ingredient of the stress relaxation layer 5, and melting temperature T_m .

[0098] About the basis, the main point is explained using drawing 22 - drawing 24. Drawing 22 (a), (b) and drawing 23 (a) and (b), and (c) are graphs which show the dynamic viscosity property (storage modulus) and heat mechanical characteristic (TMA) of five kinds of ingredients A, B, C, D, and E (the amount of expansion).

[0099] The ingredient A shown in drawing 22 (a) is thermoplastics with which melting temperature T_{m-a} has beyond the highest attainment temperature T_{max} in a process (about 350 degrees C). That is, the ingredient shown in drawing 22 (a) is an ingredient which has the highest attainment temperature T_{max} in a process between glass-transition-temperature T_{g-a} and melting temperature T_{m-a} . The ingredient B shown in drawing 22 (b) is thermoplastics with melting temperature T_{m-b} lower than the highest attainment temperature T_{max} in a process. Ingredients A and B are thermoplastics and melting temperature is $T_{m-a} \geq T_{max}$ and $T_{m-b} < T_{max}$, respectively. Therefore, since there is a problem that fracture of resin takes place in a process since [which is shown in drawing 22 (b)] it is $T_{m-b} \leq T_{max}$, Thermoplastics B cannot be used as an ingredient for stress relaxation layers, for example. However, in the thermoplastics A shown in drawing 22 (a), since it is melting temperature $T_{m-a} > T_{max}$, fracture does not take place in a process.

[0100] Although the film reinforcement which formed membranes is easy to be fixed since what was

macromolecule-ized is used in the case of thermoplastics, film reinforcement fails to an elevated-temperature side remarkably from near glass-transition-temperature T_g . So, at this example, as shown in drawing 22 (a), the problem of a fall on the strength is solved by considering as the process temperature in consideration of glass transition temperature T_g and melting temperature T_m .

[0101] On the other hand, generally, when using the thermosetting ingredient mentioned later, since it forms membranes with low-molecular, if a thermosetting ingredient has bad hardening process process stability (homogeneity of heat etc.), it may not be fixed [ingredient]. If managed proper, there is reinforcement sufficient with below the glass transition temperature T_g , and even if it exceeds glass transition temperature T_g , the fall of film reinforcement can also be controlled.

[0102] That is, in the case of thermoplastics, as description of a varnish, a varnish (finishing [hardening]) without reactivity will be hardened as a stress relaxation layer 5. And in order to use it, dissolving in a solvent, to form a-less solvent, it is necessary to make it an elevated temperature and to fuse. In the case of a thermoplastic" ingredient, since it has already macromolecule-ized, a remarkable elevated temperature is required for melting. As the membrane formation approach of this thermoplastics, after applying a varnish, it cools after applying the resin which the solvent in a varnish was volatilized with heating etc., or carried out melting. Thus, since what was macromolecule-ized is used in the case of thermoplastics, reinforcement is easy to be fixed. However, the fall on the strength by the side of [near glass transition temperature to] an elevated temperature is remarkable. At this example, since it is the process temperature in consideration of glass transition temperature T_g and melting temperature T_m , there is no problem of a fall on the strength. Furthermore, in order to use the solution or melting liquid of a macromolecule which the hardening reaction already ended before membrane formation in the case of thermoplastics, the chemical bond reaction with the surface molecule of a coated side can seldom be expected, and adhesion reinforcement is not necessarily strong. however — this example — the front face of a coated material — it can be used now by having devised to description. A specific adhesion promotion nature compound is specifically added to the protective coat 8 used as a faying surface, or a surface configuration (irregularity) is controlled proper. Moreover, in using the protective coat 8 of organic nature, it adjusts the varnish of thermoplastics using the solvent made to swell a protective coat 8. Spacing of the organic macromolecule which a solvent is spread and constitutes the protective coat 8 in (1) protective coat by such device if thermoplastics is applied increases, and if swelling and (2) thermoplasticity molecules enter to the clearance between the molecules of a protective coat 8 and solvent distilling off of the front face of a protective coat 8 is carried out in (3) heat hardening processes, adhesion is securable with the device in which the swollen protective coat burns and is fastened. Moreover, into thermoplastics, an unreacted part can be made to be able to remain, or another, thermosetting component can be added, and reactivity with the front face of a protective coat 8 can be secured.

[0103] Since the ingredients C, D, and E shown in drawing 23 (a), (b), and (c) are thermosetting ingredients, respectively, they do not have a melting point T_m . The thermosetting ingredient C shown in drawing 23 (a) is an ingredient with which glass-transition-temperature T_g -c has the highest attainment temperature T_{max} in a process, and more than equivalent. The thermosetting ingredient E shown in the ingredient D shown in drawing 23 (b) and drawing 23 (c) is an ingredient which has glass-transition-temperature T_g -d lower than the highest attainment temperature T_{max} in a process, and T_g -e, respectively. In addition, an EQC here is about **20 degrees C.

[0104] Drawing 23 (a) Ingredient C-E shown in - (c) is a thermosetting ingredient, and although fracture in a process does not take place, since deformation in the middle of a production process becomes large, neither is practical [the ingredient E with a large coefficient of linear expansion more than T_g (α_2) with low and T_g] from the alignment in the inside of a process, or a viewpoint of handling. For example, since a difference arises in a configuration in the early stages of membrane formation, and the last stage for the temperature rise under spatter, therefore failure of membrane formation becomes easy to take place, the application to this invention is not desirable.

[0105] Thus, as an ingredient used for the stress relaxation layer 5, according to a service condition, even if it is thermoplastics and thermosetting resin, it can be used. However, when thing consideration is carried out, the thing which form the swelling section 34 shown in drawing 9 etc. and for which thermoplastics is used from a difference of a mechanism until it hardens is desirable. That is, since the approach referred to as that it volatilizes thermoplastics by heating the solvent in a varnish etc., and stiffens it after the membrane formation approach applies a varnish is taken, the configuration and the swelling section 34 by which printing formation was carried out in the hardening process are maintained. When this solvent type of thermoplastics was used conventionally, generally it was not used from that volatile matter causing a void in a hardening process. However, in this example, since the semiconductor device with which this technique is applied is the thing which the upper part makes apply and harden thermoplastics in the condition of disconnection, even if it uses the thermoplastics containing a lot of solvents, a solvent volatilizes from the upper part, it does not exist as a void, and a problem like before is not generated. Incidentally, although thermoplastics has two kinds of melting molds to cool after the membrane formation approach's applying the resin which carried out (1) melting, it cannot be overemphasized that it is desirable to use the thermoplastics of a solvent mold from the above-mentioned reason. In addition, since the varnish has also already macromolecule-ized the latter melting mold, it is not desirable, either, considering accumulating big internal stress from the difference in the amount of thermal expansion required [a remarkable elevated temperature] for melting therefore.

[0106] About forming the swelling section 34, it is not dependent on the above-mentioned Tg or the relation of Tm.

[0107] By the way, when using thermoplastics, in order to use the solution or melting liquid of a macromolecule which the hardening reaction already ended before membrane formation, In seldom being able to expect the chemical bond reaction with the surface molecule of a coated side but using the protective coat 8 of organic nature in this example there which is not necessarily strong as for the adhesion reinforcement with a coated side The solvent made to swell a protective coat 8, for example, the thing whose solubility parameters (SP value) are $8-20(\text{cal}/\text{cm}^3)^{1/2}$, is desirable. More specifically, the solvent which has an alicyclic amide compound or 5 - 8 member craton at least is desirable. For example, N-methyl pyrrolidone and a GAMMA butyrolactone are desirable. Although it is not an alicyclic amide compound or 5 - 8 member craton, dimethylformamide, a methyl acetamide, and dimethyl sulfoxide are sufficient. The varnish of thermoplastics is adjusted using these. The front face of a protective coat 8 swells because spacing of the organic macromolecule which a solvent is spread and constitutes the protective coat 8 in (1) protective coat will increase if such thermoplastics is applied, and if (2) thermoplasticity molecules enter the clearance between the molecules of a protective coat 8 and are distilled off in a solvent in (3) heat hardening processes, adhesion is securable with the device in which the swollen protective coat burns and is fastened.

[0108] Moreover, a specific adhesion promotion nature compound, for example, a silane coupling agent etc., may be added to the protective coat 8 used as a faying surface, or irregularity may be formed in a surface configuration.

[0109] Moreover, into thermoplastics, an unreacted part can be made to be able to remain, or another, thermosetting component can be added, and reactivity with the front face of a protective coat 8 can also be secured.

[0110] By the way, as for curing temperature, in the thermosetting ingredient and the thermosetting ingredient as a charge of stress relaxation layer material, it is desirable to use the thing from 100 degrees C to 250 degrees C. It is because wafer stress increases by the heat shrink at the time of hardening cooling or there is concern from which the property of a semiconductor device changes, when management within the process at the time of semi-conductor manufacture is difficult and curing temperature becomes high from this when curing temperature is lower than this.

[0111] Furthermore, since it is exposed to various processes, such as a spatter, plating, and etching, as the stress relaxation layer 5 after hardening (after a stress relaxation layer formation process) was

mentioned above, properties, such as thermal resistance, chemical resistance, and solvent resistance, are also required.

[0112] concrete — the thermoplastics and the thermosetting ingredient as a charge of stress relaxation layer material — setting — as thermal resistance — the glass-transition temperature (T_g) — 150 degrees C — super — it is desirable that it is 400 degrees C or less, and T_g is [180 degree C or more of $T_g(s)$] 200 degrees C or more most preferably more desirably.

[0113] Since there was nothing of a low elastic modulus of extent to expect, i.e., a practical ingredient, when it exceeded 400 degrees C, it could be 400 degrees C or less. Moreover, the reason made into 150 degrees C or more is shown in drawing 25 and drawing 26.

[0114] Drawing 25 is the result of experimenting about whether a crack goes into the spatter film at the time of a spatter, and is making it the graph about the physical-properties value (coefficient of linear expansion, glass transition temperature) of the stress relaxation layer 5. The crack has not occurred, so that a graph may also show and glass transition temperature is high. Moreover, it turns out that the spatter resistance becomes so low that coefficient of linear expansion is high.

[0115] As this shows drawing 26, the kinetic energy changes sputtered particles to heat in the resin layer (stress relaxation layer) 5 at the time of a spatter, and thermal expansion of the resin is carried out. Then, although the spatter film grows on the resin which carried out thermal expansion, resin is contracted after spatter termination. Therefore, the rate to contract is as large as the resin which is easy to carry out thermal expansion to the spatter film, and the spatter film formed on the resin which carried out thermal expansion generates a wrinkle and a crack. Resin is easy to deform, so that glass transition temperature is low and coefficient of linear expansion is large.

[0116] Therefore, when controlling the poor wiring formation at the time of a spatter so that drawing 25 may show, since the thing of an excellent article is obtained from a thing 150 degrees C or more, it is desirable, and since almost all things will serve as an excellent article if it is 180 degrees C or more, and almost all things will serve as an excellent article if it is 200 degrees C or more, it will be still more desirable.

[0117] On the contrary, when it says from a viewpoint of deformation in a process, even if it is a thermosetting ingredient not to mention thermoplastics, application to this invention has a limit. When it states concretely, as shown by Ingredients R and S, in drawing 24, it is desirable for the accumulation value (the amount of expansion) ($\alpha(T) \times \Delta T$) sigma of the elongation from the room temperature (ordinary temperature: it may be about 20 degrees C.) to the maximum temperature T_{max} in a process to be about 10% or less. Since the wiring 4 which is made of about at least 500-micrometer Cu, nickel, etc. of die length is formed in the front face of the stress relaxation layer 5, it is because it becomes impossible to follow the wiring 4 at the deformation (elongation) which is about 10% of a stress relaxation layer and exfoliation of an interface and the crack of resin occur. The ingredient which is thermoplastics and fills relational expression like a parenthesis has coefficient of linear expansion, specific T_g , and a specific dynamic viscosity property. When it illustrates concretely, it is desirable that it is the coefficient of linear expansion of 200 ppm/degree C or less, and as mentioned above, it is desirable for T_g to be 150 degrees C or more.

[0118] In addition, since the accumulation value (the amount of expansion) ($\alpha(T) \times \Delta T$) sigma of the elongation from the room temperature to the maximum temperature T_{max} in a process becomes 10% or more, the ingredients P and Q shown in drawing 24 are not desirable ingredients.

[0119] On the contrary, it does not care about carrying out the work of lowering curing temperature instead of lengthening the setting time of the ingredient of the surface protective coat 6 in consideration of the physical-properties value of a stress relaxation layer ingredient, either.

[0120] Namely, in the thermoplastics and the thermosetting ingredient as a charge of stress relaxation layer material, the coefficient of linear expansion (α_1) in the field below [the viewpoint which stops the deformation in various temperature processings in a process to] T_g is so desirable that it is small. It is so good that it is specifically close to 3 ppm. Although a low spring material generally has a large

coefficient of linear expansion in many cases, as for the range of the coefficient of linear expansion of stress relaxation layer 5 ingredient suitable at this example, it is desirable that it is the range of 3 ppm – 300 ppm. It is the range of 3 ppm – 200 ppm more preferably, and the range of the most desirable coefficient of linear expansion is 3 ppm – 150 ppm.

[0121] On the other hand, as for pyrolysis temperature (Td), in the thermoplastics and the thermosetting ingredient as a charge of stress relaxation layer material, it is desirable that it is about 350 degrees C or more. When glass transition temperature Tg and the pyrolysis temperature Td are less than these values, there is a danger that deformation of resin, and deterioration and decomposition will take place at a spatter or a sputtering etch process as the heat process in the inside of a process. When it says from a chemical-resistant viewpoint, it is desirable for resin deterioration of discoloration, deformation, etc. not to take place 30% by the immersion of 24 hours or more to a sulfuric-acid water solution or 10% sodium-hydroxide water solution. As solvent resistance, it is desirable to set a solubility parameter (SP value) to 8–20(cal/cm³)^{1/2}. When the object for the stress relaxation layers 5 is the ingredient which comes to carry out conversion of some components to base resin, it is desirable for the greater part of the presentation to have said the range of the above-mentioned solubility parameter. Speaking more concretely, it being desirable for less than 8 and a 20 super-***** component not to contain [the solubility parameter (SP value)] more than 50 % of the weight.

[0122] When such chemical resistance and solvent resistance are insufficient, an applicable manufacture process may be limited and it is not sometimes desirable from a viewpoint of manufacturing cost reduction. After taking into consideration synthetically actually the ingredient cost and the process degree of freedom with which are satisfied of these properties, it is good to determine the ingredient for stress relaxation layer 5. .

[0123] As a concrete presentation of the thermoplastics as a charge of stress relaxation layer material explained above, and a thermosetting ingredient, although it is paste-like polyimide, not only this but conversion amide imide resin, ester imide resin, ether imide resin, polyester resin, conversion silicone resin, conversion acrylic resin, etc. are sufficient.

[0124] In the resin which has imide association among the resin which carried out [above-mentioned] listing, for example, polyimide, amide imide, ester imide, and ether imide, it excels in a heat mechanical property, for example, the reinforcement in an elevated temperature etc., thanks to the firm frame by imide association, and ***** of the plating electric supply film formation approach for wiring spreads as the result. For example, the plating electric supply film formation approach accompanied by high temperature processing, such as a spatter, can be chosen. When it is resin with the part condensed in association other than imide association, such as silicone resin, acrylic resin, polyester resin, amide imide, ester imide, and ether imide, although a heat mechanical characteristic is inferior a little, it may be advantageous in respect of workability, a resin price, etc. For example, by polyester imide resin, generally, since curing temperature is lower than polyimide, it is easy to treat. In this example, a component property, a price, a heat mechanical characteristic, etc. are synthetically taken into consideration out of these resin, and these resin is used properly suitably.

[0125] Furthermore, as an ingredient for stress relaxation stratification, it is possible independent or to blend two or more kinds, to blend a coupling agent, a coloring agent, etc. for improving an adhesive property with various interfaces to this, and to use resin, such as epoxy, a phenol, polyimide, and silicone, for example.

[0126] Without a void occurring, since a resin layer formation process is performed by this invention before forming wiring 4 and a bump 1 as explained above, improvement in results by the heat cycle test is achieved, and moreover it is not concerned with package size, but resin formation time amount is fixed. Thus, it is not based on package size but efficient employment of a production line is also attained because resin formation time amount is fixed. From such a point, this invention is applicable satisfactory also to the size of the big package (semiconductor device) 13, and mounting of the chip-size package specifically exceeding 10mm angle.

[0127] Next, other examples of a semiconductor device 13 are explained. The cross-section schematic diagram showing the condition of having carried drawing 27 in the substrate 115 for changing the array of the projection electrode 1 of a semiconductor device 13, and drawing 28 are the cross-section schematic diagrams showing the condition of having closed the clearance between a semiconductor device 13 and the substrate 115 in which this is carried by resin 118 further.

[0128] The letter electrode 1 of a projection formed in the semiconductor device 13 is carried through a *****-strike or flux on the electrode 120 with which it corresponds on a substrate 115, melting of said letter electrode 1 of a projection is carried out at a reflow furnace etc., and connection of a substrate 115 and a semiconductor device 13 is made. The substrate 115 carrying a semiconductor device 13 has the letter electrode 121 of a projection at the rear face of a semiconductor device loading side if needed [an electrode 116 and if needed] for carrying in the substrate used for various electronic equipment.

[0129] In case a semiconductor device 13 is carried in the substrate used for various electronic equipment, it is necessary to carry out heating melting of the letter electrode 121 of a projection prepared on the substrate 115. In order to raise further these mounting processes and the dependability in various trials, especially the dependability results over a drop impact test, between a semiconductor device 13 and substrates 115 is reinforced by resin 118.

[0130] The resin 118 filled up with between a semiconductor device 13 and a substrate 115 The liquefied epoxy resin used for the general semi-conductor closures, phenol resin, In order polyimide resin, silicone resin, etc. are usable and to adjust the coefficient of thermal expansion and elastic modulus of closure resin A silica, Or two or more kinds are blended. the particle which consists of inorganic materials, such as an alumina and boron nitride, — one kind — Moreover, it is possible to blend the hardening accelerator for promoting the hardening reaction of the flame retarder for making the coupling agent and coloring agent which consist of resin, such as silicone and thermoplastics, alkoxysilane, titanate, etc. if needed, and fire retardancy give, or a fire-resistant assistant resin layer etc.

[0131] In this example, even if it is the case where the pitch of the letter electrode 1 of a projection on a semiconductor device 13 differs from the pitch of the electrode of the substrate used for various electronic equipment, it becomes possible by minding the predetermined substrate 115 to connect with various electronic equipment.

[0132] In addition, also when you mount in the circuit board used for general electronic equipment like mounting to the substrate used as a semiconductor device 13, suppose that it is the same.

[0133]

[Effect of the Invention] According to this invention, the effectiveness that the semiconductor device which makes possible unnecessary flip chip bonding of under-filling which prevented cutting of a wiring layer and reduced defect occurrences is realizable is done so.

[Translation done.]

* NOTICES *

JPO and NCIP are not responsible for any damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1] It is the fragmentary sectional view showing the structure of one example of the semiconductor device concerning this invention.

[Drawing 2] The semiconductor device concerning this example is the top view showing the condition of being formed continuously.

[Drawing 3] It is drawing having shown the first which is one example of the production process of the semiconductor device concerning this invention – the third process.

[Drawing 4] It is drawing having shown the fourth which is one example of the production process of the semiconductor device concerning this invention – the sixth process.

[Drawing 5] It is drawing having shown the seventh which is one example of the production process of the semiconductor device concerning this invention – the ninth process.

[Drawing 6] It is drawing having shown the mask for printing used for formation of the stress relaxation layer concerning this invention.

[Drawing 7] It is drawing showing the process which is printing the stress relaxation layer.

[Drawing 8] It is drawing showing the version detached building process that a printing mask goes up from a wafer.

[Drawing 9] It is the sectional view having shown the semiconductor device with which the stress relaxation layer was formed.

[Drawing 10] It is drawing having shown the condition of having stuck the mask for exposure to the resist.

[Drawing 11] It is the chip general drawing and the chip enlarged drawing having shown one example of wiring for rewiring.

[Drawing 12] It is the top view having shown one example of wiring for rewiring.

[Drawing 13] It is drawing showing the underdevelopment of actual wiring for rewiring.

[Drawing 14] Drawing 12 is drawing having shown other examples of different wiring for rewiring.

[Drawing 15] It is drawing having shown other examples of different wiring for rewiring from drawing 12 and drawing 14 .

[Drawing 16] It is drawing having shown the example which gave various kinds of wiring for rewiring.

[Drawing 17] It is the sectional view and top view showing the 1st example which formed locally the organic film as a protective coat formed on a wafer.

[Drawing 18] It is the sectional view and top view showing the 2nd example which formed locally the organic film as a protective coat formed on a wafer.

[Drawing 19] It is the top view showing the 3rd example which formed locally the organic film as a protective coat formed on a wafer.

[Drawing 20] It is the sectional view having shown one example of the semiconductor device which passed even through the seventh process in this invention.

[Drawing 21] It is drawing showing one example which carried the semiconductor device concerning this invention in the substrate.

[Drawing 22] It is drawing for explaining the property in the case of using Thermoplastics A and B as an ingredient of the stress relaxation layer concerning this invention.

[Drawing 23] It is drawing for explaining the property in the case of using thermosetting resin C, D, and E as an ingredient of the stress relaxation layer concerning this invention.

[Drawing 24] It is drawing for explaining the accumulation value (the amount of expansion) of the elongation from the room temperature (ordinary temperature: about 20 degrees C) in each of resin ingredient P-S of the stress relaxation layer concerning this invention to the maximum temperature Tmax in a process.

[Drawing 25] It is drawing showing the physical-properties value and spatter resistance of a stress relaxation layer candidate ingredient.

[Drawing 26] It is drawing explaining the wrinkle and crack device by the spatter.

[Drawing 27] It is the sectional view showing other one example which carried the semiconductor device concerning this invention in the substrate.

[Drawing 28] It is the sectional view showing other one example which carried the semiconductor device concerning this invention in the substrate.

[Description of Notations]

1, 1a, 1b [— Bump pad (terminal electrode),] — A bump, 1aa — A longwise bump, 2 — Au plating, 3 4 — Wiring for rewiring (wiring), 4a — A signal line, 4b — A grand line / power-source line, 5 — A stress relaxation layer, 6 — A surface protective coat, 7 — Aluminum pad (circuit electrode), 8 — A protective coat, 9 — The wafer with which the semiconductor device (semiconductor chip) was formed, 10 [— Electric supply film,] — A semiconductor chip, 13 — A semiconductor device, 14 — The circuit board, 16 17 — The reverse pattern of wiring, 18 — The connection parts of an aluminum pad and wiring, 19 — A boundary with a lower layer part, 20 [— A connection with an aluminum pad,] — A clearance, 21 — An exposure mask, 22 — A resist, 23 24 — The cutting section, 25 — The stencil made from a nickel alloy, 26 — Resin sheet, 27 [— A ramp (edge section), 36 / — A flat part, 40 / — The organic film, 41 / — The inorganic film, 115 / — A substrate, 116 / — An electrode, 118 / — Resin, 120 / — An electrode, 121 / — Electrode.] — A frame, 28 — Pattern opening of a printing mask, 34 — A swelling part, 35

[Translation done.]

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.